

# 双向缓冲接口芯片 CH421

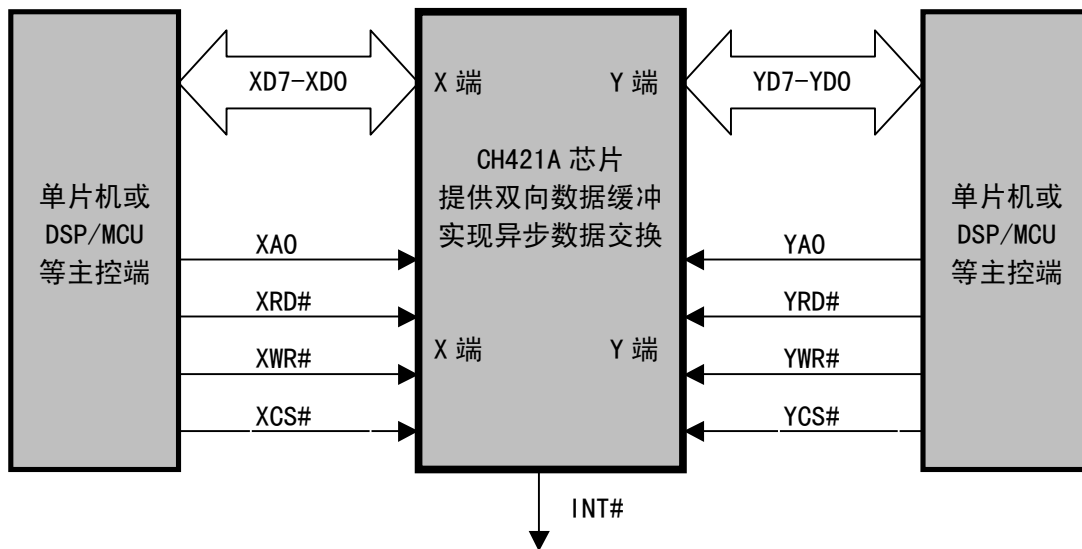
中文手册

版本：2A

<http://wch.cn>

## 1、概述

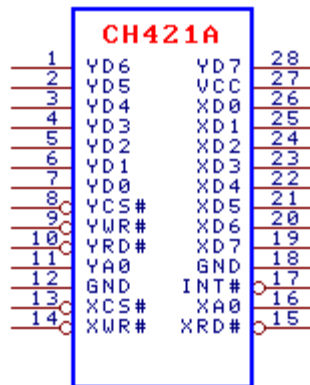
CH421A 是一个提供双向数据缓冲的接口芯片。CH421A 具有 X 和 Y 两个 8 位被动并行端口，通过共享 66 个字节的双端口数据缓冲区，实现 X 端与 Y 端之间的双向异步数据交换。CH421A 支持两端同时操作，适用于连接单片机与单片机，单片机与 DSP/MCU，以及单片机与其它具有主动并行接口的主控端，例如计算机的打印口或者 CH365 的本地端口等。下图为其一般应用框图。



## 2、特点

- 通用的 8 位双向数据总线，可以直接连接到单片机或者 DSP/MCU 的系统总线上。
- 基于双端口 SRAM 向 X 端和 Y 端提供可以共享的 66 字节的数据缓冲区。
- 分别为 X 端和 Y 端各提供一个字节的单向缓冲区，即一端可写两端可读。
- 低电平有效的通用并行接口控制信号：片选控制线、读选通线、写选通线。
- 只占用两个地址位：索引地址口和数据口，读写数据口后内部索引地址自动递增。
- 提供两端软件可控制的中断输出引脚 INT#，低电平有效。
- 异步数据交换，支持 X 和 Y 两端同时进行读写操作，无需同步和等待。
- 最大数据传输速度不低于每秒 7M 字节。
- 支持 5V 或者 3.3V 电源电压。
- 采用 SOP-28 贴片无铅封装，兼容 RoHS。

### 3、封装



封装形式	塑体宽度		引脚间距		封装说明	订货型号
SOP-28	7.62mm	300mil	1.27mm	50mil	标准的 28 脚贴片	CH421A

注：CH421A 芯片与原 CH421S 芯片功能有区别且引脚不同。

### 4、引脚

引脚号	引脚名称	类型	引脚说明
27	VCC	电源	正电源端
12, 18	GND	电源	公共接地端
19-26	XD7~XD0	三态输出及输入	X 端的双向数据信号线，带弱上拉电阻
16	XA0	输入	X 端的地址线输入，为 0 指向索引口，为 1 指向数据口
15	XRD#	输入	X 端的读选通/使能输入，低电平有效
14	XWR#	输入	X 端的写选通/使能输入，低电平有效
13	XCS#	输入	X 端的片选控制输入，低电平有效
1-7, 28	YD7~YD0	三态输出及输入	Y 端的双向数据信号线
11	YA0	输入	Y 端的地址线输入，为 0 指向索引口，为 1 指向数据口
10	YRD#	输入	Y 端的读选通/使能输入，低电平有效
9	YWR#	输入	Y 端的写选通/使能输入，低电平有效
8	YCS#	输入	Y 端的片选控制输入，低电平有效
17	INT#	输出	软件可控制的中断请求输出，低电平有效

### 5、原理说明

下图是 CH421A 芯片的内部电路图（用于解释功能，仅供参考）。

CH421A 内置了一个双口 SRAM 存储器，具有两套双向数据线、两套地址线以及两套读写控制线，分别连接到 X 端和 Y 端，该双口 SRAM 的容量是 66 个字节，地址范围是 00H~41H。

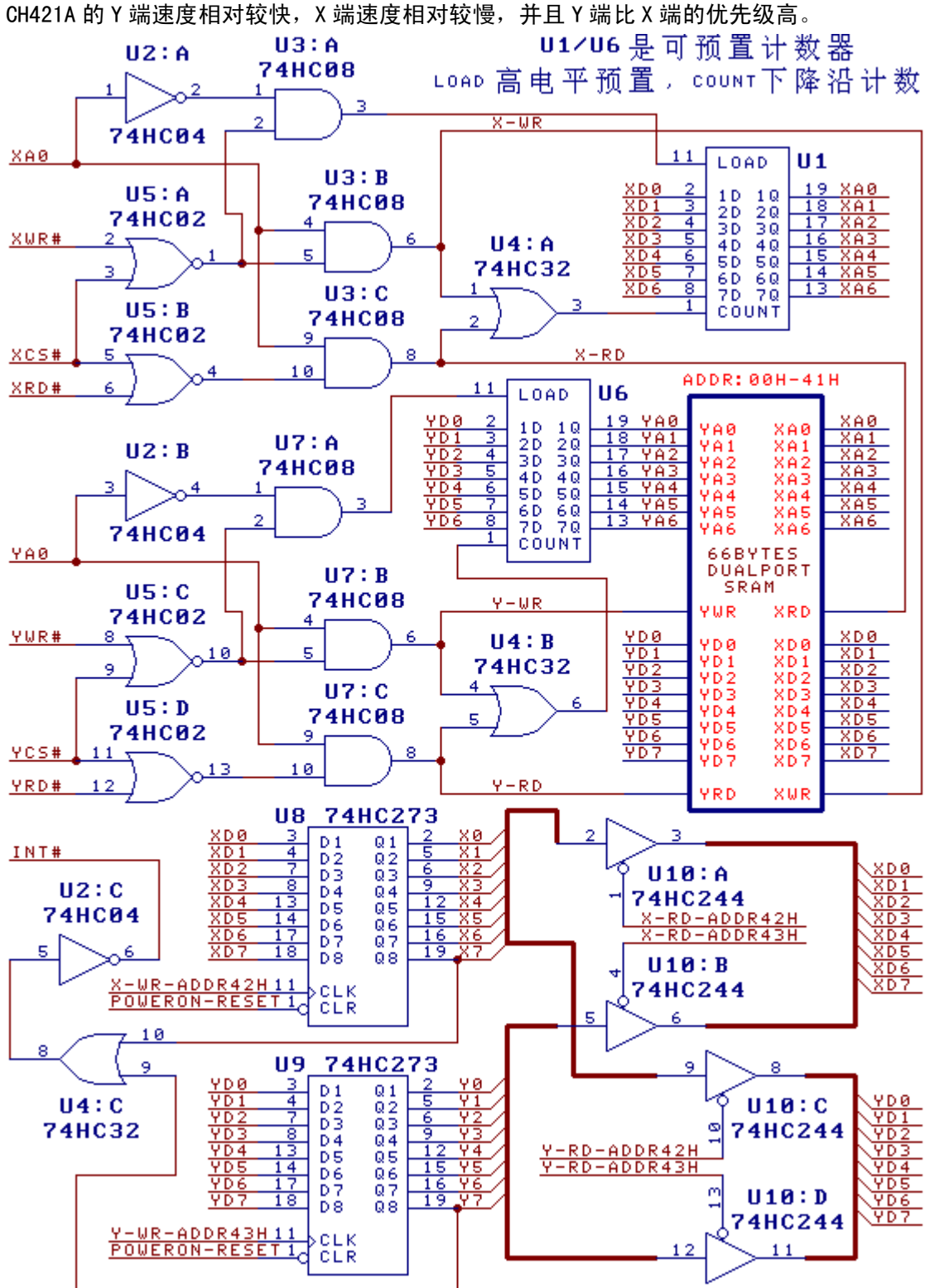
CH421A 还在 X 端和 Y 端各内置了一个字节的单向缓冲器，即图中的寄存器 U8 和 U9，对一端可写，对 X 和 Y 两端可读。单向缓冲器 U8 是 X 端的单向缓冲器，只能由 X 端写，其写地址是 42H。单向缓冲器 U9 是 Y 端的单向缓冲器，只能由 Y 端写，其写地址是 43H。X 端的单向缓冲器 U8 的读地址是 42H，Y 端的单向缓冲器 U9 的读地址是 43H。在电源上电复位后，两个单向缓冲区中的数据会自动清 0。

CH421A 的 INT# 引脚是软件可控制的中断请求输出，默认是高电平，当单向缓冲区 U8 的位 7 被置 1 或者单向缓冲区 U9 的位 7 被置 1 时，INT# 引脚输出低电平，否则输出高电平。

CH421A 外部只有一根地址线 XA0 或者 YA0，所以对内置的 SRAM 存储器以及单向缓冲区采用索引寻址方式，索引地址范围是 00H~43H，分别对应于 SRAM 的 66 个数据单元以及两个单向缓冲区。索

寻址方式是指通过索引口写入 7 位索引地址后，再通过数据口对索引地址指定的 SRAM 单元或者单向缓冲器进行数据读写。当 XA0 或 YA0 为低电平时，写操作指向索引口，对索引口进行读操作没有意义；当 XA0 或 YA0 为高电平时，读写操作指向数据口。

CH421A 的 X 端和 Y 端都支持索引地址自动增量，可以提高数据顺序读写时的效率。每读写完一个字节数据后，内部锁存的索引地址会自动加 1，如果准备读写下一个单元的数据则可以直接通过数据口读写，而不必再通过索引口输入下一个单元的索引地址。参考上图，U1 和 U6 是 7 位宽度的可预置计数器，通过索引口写入的索引地址被预置到计数器中，当一个读写操作完毕后，计数器会自动加 1，从而直接产生下一个单元的索引地址。



以下是从 CH421A 的 X 端和 Y 端进行数据读写的例子：

- ① 在 YAO 为 0 时写入索引地址 26H，在 YAO 为 1 时写入数据 94H，则结果是将数据 94H 写入到 SRAM 存储器的地址为 26H 的单元；
- ② 在 XAO 为 0 时写入索引地址 25H，在 XAO 为 1 时写入数据 6EH，则结果是将数据 6EH 写入到 SRAM 存储器的地址为 25H 的单元；
- ③ 如果在 XAO 为 1 时再次读取（CH421A 自动增加 X 端前次操作的索引地址），则结果是读取 SRAM 存储器的地址为 26H 的单元，即 Y 端最早写入的数据 94H；
- ④ 如果在 YAO 为 1 时再次读取（CH421A 自动增加 Y 端前次操作的索引地址），则结果是读取 SRAM 存储器的地址为 27H 的单元。

通过 CH421A 共享存储器，一次可以传输 66 字节的数据块，适用于在两个具有主动并行接口的主控端之间提供高速的双向数据传输。

下表为并口 I/O 操作的真值表（表中 X 代表不关心此位，Z 代表 CH421A 三态禁止）。

CS#	WR#	RD#	A0	D7-D0	对 CH421A 芯片的实际操作
1	X	X	X	X/Z	未选中 CH421A，不进行任何操作
0	1	1	X	X/Z	虽然选中但无操作，不进行任何操作
0	0	X	0	输入	向 CH421A 写入索引地址，即其后进行读写操作的起始地址
0	0	X	1	输入	向指定地址写入数据，完成后索引地址递增，便于连续读写
0	1	0	1	输出	从指定地址读出数据，完成后索引地址递增，便于连续读写
0	1	0	0	输出	未定义，结果未知，禁用

对于类似 Intel 并口时序的单片机，CH421A 芯片的 RD# 引脚和 WR# 引脚可以分别连接到单片机的读选通输出引脚和写选通输出引脚。对于类似 Motorola 并口时序的单片机，CH421A 芯片的 RD# 引脚应该接低电平，并且 WR# 引脚连接到单片机的读写方向输出引脚 R/-W。

## 6、参数

### 6.1. 绝对最大值（临界或者超过绝对最大值将可能导致芯片工作不正常甚至损坏）

名称	参数说明	最小值	最大值	单位	
TA	工作时的环境温度	VCC=5V	-40	85	°C
		VCC=3.3V	-40	65	
TS	储存时的环境温度	-55	125	°C	
VCC	电源电压（VCC 接电源，GND 接地）	-0.5	6.0	V	
VIO	输入或者输出引脚上的电压	-0.5	VCC+0.5	V	

### 6.2. 电气参数（测试条件：TA=25°C，VCC=5V）

（如果电源电压为 3.3V，则表中所有电流参数需要乘以 40% 的系数）

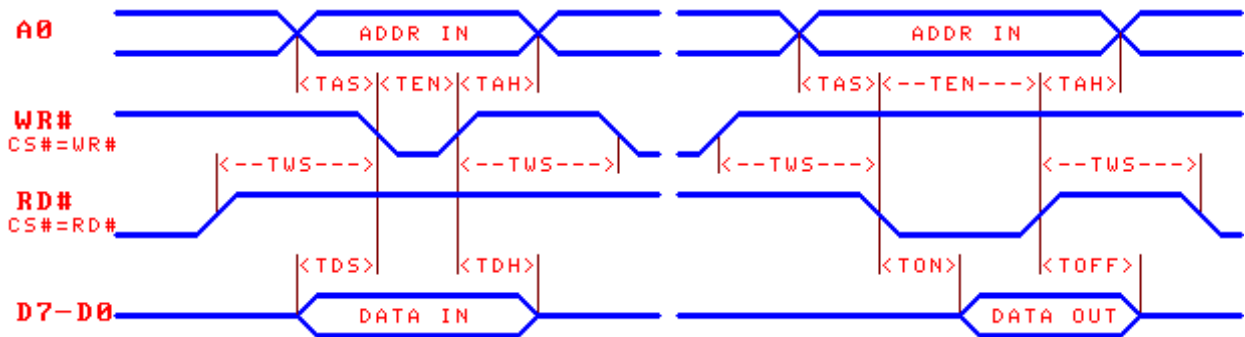
名称	参数说明	最小值	典型值	最大值	单位
VCC	电源电压	3.3	5	5.3	V
ICC	5V 电源电压工作时的电源电流	0.2	1.5	10	mA
ICC3	3.3V 电源电压工作时的电源电流	0.1	0.5	5	mA
VIL	低电平输入电压	-0.5		0.8	V
VIH	高电平输入电压	2.0		VCC+0.5	V
VOL	低电平输出电压（4mA 吸入电流）			0.5	V
VOH	高电平输出电压（2mA 输出电流）	VCC-0.5			V
IIN	无上拉的输入端的输入电流			10	uA
IUP1	带弱上拉的输入端的输入电流	2	5	170	uA
VR	电源上电内部复位的电压门限	2.4	2.7	3.0	V

### 6.3. X 端时序（测试条件：TA=25℃，VCC=5V，括号中参数 VCC=3.3V，参考下面附图）

（RD 是指 RD#信号有效并且 XCS#信号有效，XWR#=1&XRD#=XCS#=0 执行读操作）

（WR 是指 WR#信号有效并且 XCS#信号有效，XWR#=XCS#=0 执行写操作）

名称	参数说明	最小值	典型值	最大值	单位
TEN	有效的读 RD 或写 WR 选通脉冲的宽度	70 (120)			nS
TWS	读 RD 或写选通 WR 脉冲的间隔宽度	70 (120)			nS
TAS	RD 或 WR 前的地址输入建立时间	5 (8)			nS
TAH	RD 或 WR 后的地址输入保持时间	5			nS
TDS	写选通 WR 前的数据输入建立时间	0			nS
TDH	写选通 WR 后的数据输入保持时间	3			nS
TON	读选通 RD 有效到数据输出有效		40	70 (100)	nS
TOFF	读选通 RD 无效到数据输出无效			20 (35)	nS



### 6.4. Y 端时序（测试条件：TA=25℃，VCC=5V，括号中参数 VCC=3.3V，参考上面附图）

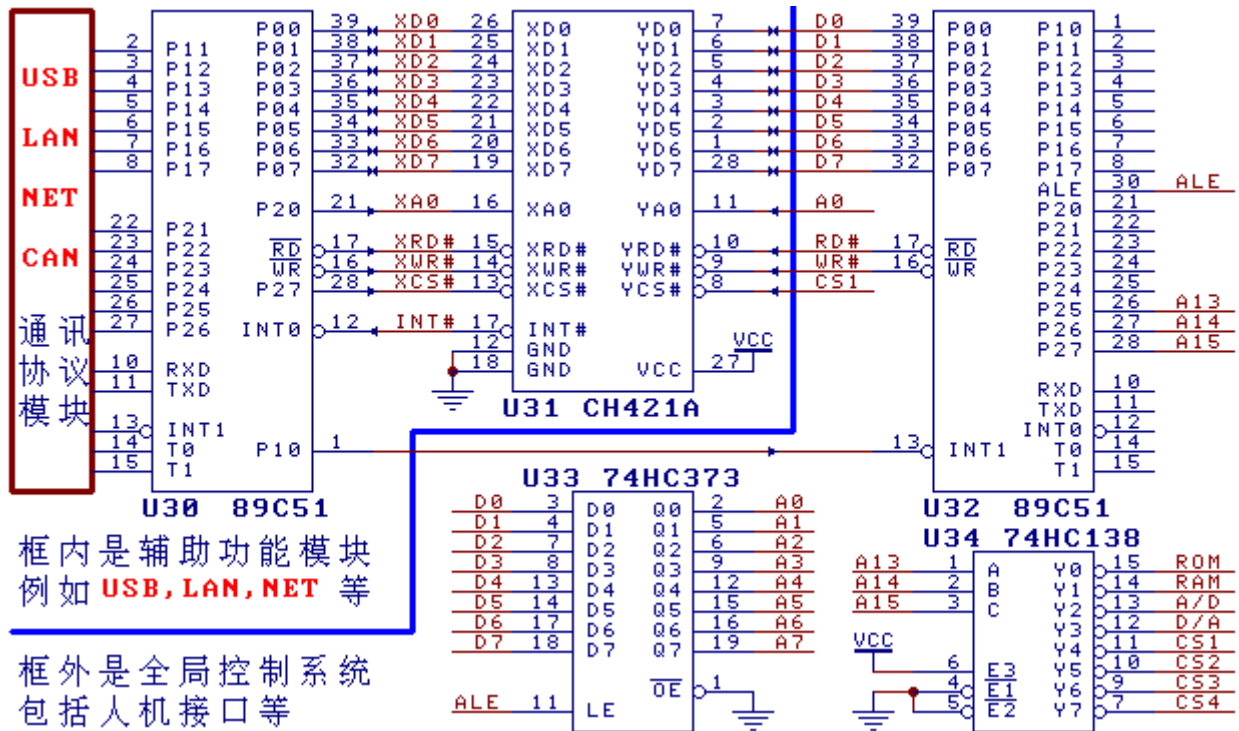
（RD 是指 RD#信号有效并且 YCS#信号有效，YWR#=1&YRD#=YCS#=0 执行读操作）

（WR 是指 WR#信号有效并且 YCS#信号有效，YWR#=YCS#=0 执行写操作）

名称	参数说明	最小值	典型值	最大值	单位
TEN	有效的读 RD 或写 WR 选通脉冲的宽度	40 (70)			nS
TWS	读 RD 或写选通 WR 脉冲的间隔宽度	70 (120)			nS
TAS	RD 或 WR 前的地址输入建立时间	5 (8)			nS
TAH	RD 或 WR 后的地址输入保持时间	5			nS
TDS	写选通 WR 前的数据输入建立时间	0			nS
TDH	写选通 WR 后的数据输入保持时间	3			nS
TON	读选通 RD 有效到数据输出有效		30	40 (60)	nS
TOFF	读选通 RD 无效到数据输出无效			20 (35)	nS

## 7、应用

## 7.1. 连接两个单片机（下图）



U30 是辅助单片机或者 DSP/MCU，专门负责处理复杂的网络通讯协议或者运算。U32 是主控单片机，负责全局事务，包括提供人机交互接口等，其系统总线上挂接了多个外围设备，地址 A7~A0 由锁存器 U33 提供，U34 负责全局地址译码，产生各外围设备的片选信号。U30 通过 U31（CH421A）挂接到 U32 的系统总线上，成为 U32 众多外围设备中的一个功能模块。由于 U30 专门处理通讯协议，只在数据收发完成并且校验通过后才以中断方式通知 U32，所以 U32 只需要考虑在应用层收发数据，而不需要考虑各种复杂的通讯协议。

图中框内由 U30 和 U31 等组成的电路，在实际电路设计中，完全可以独立成为一个特定功能的电路模块，并且可以由第三方厂家作为标准化的功能模块提供，然后通过 16 脚或者 20 脚插座挂接到主控单片机所在的系统板上。

图中 CH421A 的 X 端的地址线 XA0 由 U30 的地址线 P20 驱动，用以选择索引口或者数据口。

并口连线距离较远时，需要考虑信号之间的串扰问题，建议在 CS# 和 RD# 等控制信号线之间加入屏蔽地线，或者在控制信号线上加入 RC 积分电路。例如，在 CS# 引脚和 RD# 引脚附近各并联 30pF 的电容器到地，再各串联 1KΩ 的电阻后作为控制信号输入端，加入积分电路会导致并口传输速度下降，所以对于单块 PCB 的应用只要 PCB 布线合理就无需积分电路。

## 7.2. 连接 CH365 与单片机（下图）

CH365 是 PCI 总线通用接口芯片，由于 CH365 提供的本地端口是主动并行接口，所以不方便直接与单片机相连接（可以用 CH352L 芯片的 8255 并口方式）。图中通过 U21（CH421A）在 U20（CH365）与单片机 U22 之间提供双向数据缓冲，实现两者的异步数据交换。

当计算机需要与单片机联系时，可以先向 CH421A 写入数据，然后通过 CH365 的地址线 A15 输出低电平，使单片机进入中断服务程序，从 CH421A 获取数据并处理。

一般的 PCI 产品，计算机是所有操作的发起方和主控方，单片机只是被动地进入中断服务程序，然后处理计算机交给的任务。由于 CH365 支持硬件中断，所以在需要时，也可以由单片机作为发起方和主控方。单片机在需要联系计算机时，将 CH365 的中断请求输入引脚 SYS\_EX（INT\_REQ）置为低电平，则计算机进入中断服务程序，在程序控制下通过 CH365 从 CH421A 获得单片机提交的数据并处理。

为了启用 CH365 的中断功能，图中使用 R20 作为 CH365 数据线 D3 的下拉电阻。不用 CH365 的中断功能时，可以去掉电阻 R20 以及 CH365 的 SYS\_EX 与单片机的 P10 之间的连接线。

