

## 概述

CH32V004 是基于青稞 RISC-V 内核设计的通用微控制器，支持 48MHz 系统主频，具有宽压、低功耗、单线调试等特点。其引脚和功能与 CH32V003 兼容。CH32V004 内置 1 组 12 位模数转换 ADC，采样率高达 3Msps；提供了 7 路 DMA 控制器、多组定时器、USART 串口、I2C、SPI 等丰富外设资源。

## 产品特性

- **内核 Core:**
  - 青稞 32 位 RISC-V2C 内核，RV32EmC 指令集
  - 快速可编程中断控制器+硬件中断堆栈
  - 支持 2 级中断嵌套
  - 支持系统主频 48MHz
- **存储器:**
  - 6KB 易失数据存储区 SRAM
  - 32KB 程序存储区 CodeFlash
  - 3328B 系统引导程序存储区 BootLoader
  - 256B 系统非易失配置信息存储区
  - 256B 用户自定义信息存储区
- **电源管理和低功耗:**
  - 系统供电  $V_{DD}$  额定电压：2.7~5V
  - 低功耗模式：睡眠、待机
- **系统时钟和复位:**
  - 内置出厂调校的 24MHz 的 RC 振荡器
  - 内置约 128KHz 的 RC 振荡器
  - 外部支持 3~25MHz 高速振荡器
  - 内置系统时钟监控 (SCM) 模块
  - 上/下电复位、可编程电压监测器
- **7 路通用 DMA 控制器:**
  - 7 个通道，支持环形缓冲区管理
  - 支持 TIMx/ADC/USART/I2C/SPI
- **12 位模数转换 ADC:**
  - 模拟输入范围： $V_{SS} \sim V_{DD}$
  - 8 路外部信号+3 路内部信号通道
  - 支持 3M 采样率
- **多组定时器:**
  - 1 个 16 位高级定时器，提供死区控制和紧急刹车，提供用于电机控制的 PWM 互补输出
  - 1 个 16 位通用定时器，提供输入捕获、输出比较、PWM、脉冲计数及增量编码器输入
  - 2 个看门狗定时器：独立和窗口型
  - 系统时基定时器：32 位计数器
- **1 组 USART 串口:**
  - 支持 LIN，支持多组引脚映射
- **1 个 I2C 接口**
- **1 个 SPI 接口**
- **快速 GPIO 端口:**
  - 3 组 GPIO 端口，18 个 I/O 口
  - 映射 1 个外部中断
- **安全特性：芯片唯一 ID**
- **调试模式:**
  - 支持串行单线调试模式
- **封装形式：QFN、TSSOP**

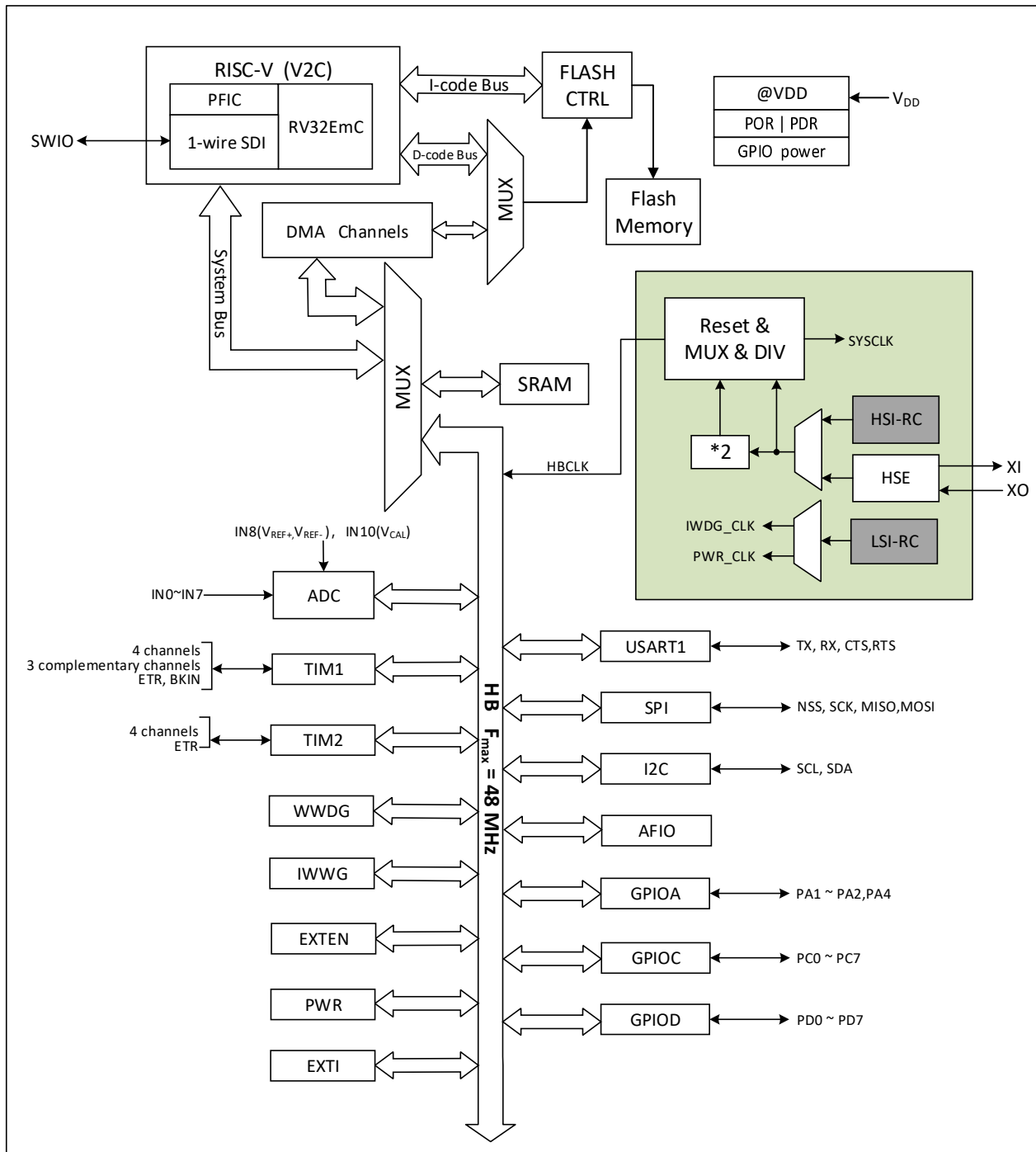
型号	Code FLASH	RAM	通用 I/O	高级定时器	通用定时器	看门狗	ADC	串口	I2C	SPI	封装形式
CH32V004F6P1	32K	6K	18	1	1	2	8+3	1	1	1	TSSOP20
CH32V004F6U1	32K	6K	18	1	1	2	8+3	1	1	1	QFN20

## 第 1 章 规格信息

### 1.1 系统架构

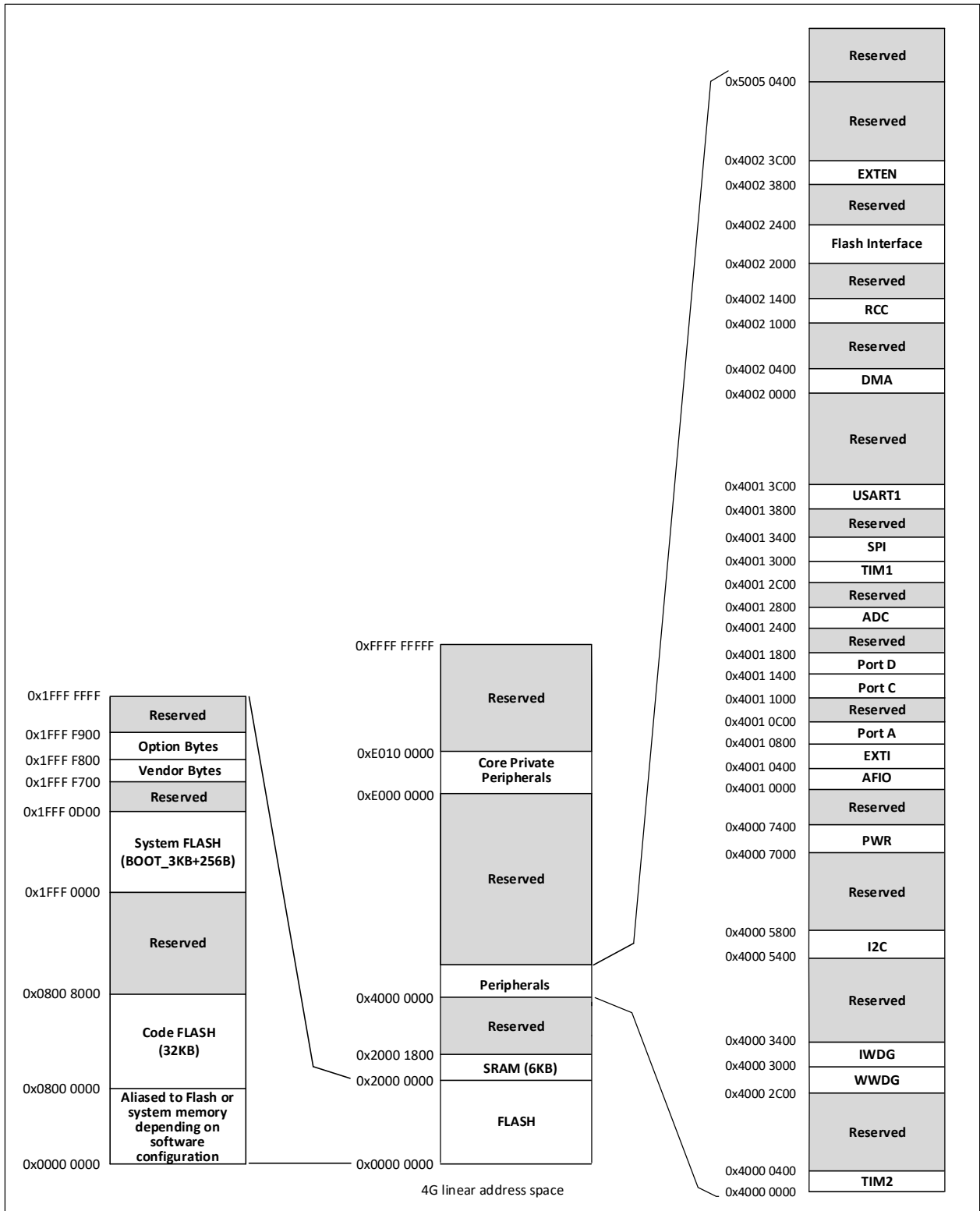
微控制器基于 RISC-V 指令集设计，其架构中将青稞微处理器内核、仲裁单元、DMA 模块、SRAM 存储等部件通过多组总线实现交互。集成通用 DMA 控制器以减轻 CPU 负担、提高访问效率，应用多级时钟管理机制降低了外设的运行功耗，同时兼有数据保护机制，时钟自动切换保护等措施增加了系统稳定性。下图是系列芯片内部总体架构图。

图 1-1 系统框图



## 1.2 存储器映射表

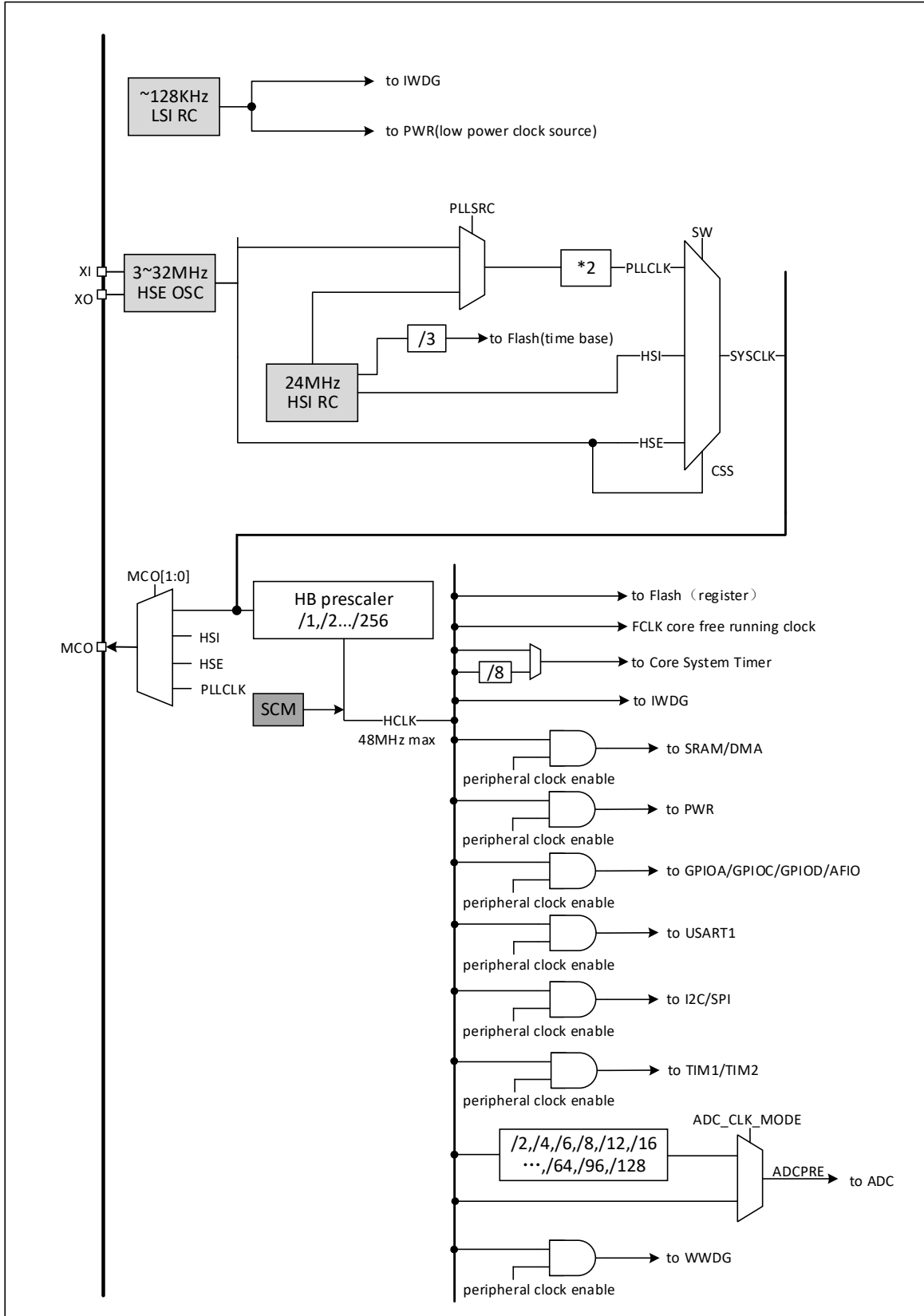
图 1-2 存储器地址映射



### 1.3 时钟树

系统中引入 3 组时钟源：内部高频 RC 振荡器 (HSI)、内部低频 RC 振荡器 (LSI)、外接高频振荡器 (HSE)。其中，低频时钟源为独立看门狗提供了时钟基准。高频时钟源直接或者间接通过 2 倍频后输出为系统总线时钟 (SYSCLK)，系统时钟再由各预分频器提供了 HB 域外设控制时钟及采样或接口输出时钟，部分模块工作需要由 PLL 时钟直接提供。

图 1-3 时钟树框图



## 1.4 功能概述

### 1.4.1 RISC-V2C 处理器

RISC-V2C 支持 RISC-V 指令集 EmC<sup>(1)</sup> 子集。处理器内部以模块化管理，包含快速可编程中断控制器 (PFIC)、扩展指令支持等单元。对外多组总线与外部单元模块相连，实现外部功能模块和内核的交互。

处理器以其极简指令集、多种工作模式、模块化定制扩展等特点可以灵活应用不同场景微控制器设计，例如小面积低功耗嵌入式场景。

- 支持机器模式
- 快速可编程中断控制器 (PFIC)
- 2 级硬件中断堆栈
- 支持串行单/双线调试接口
- 自定义扩展指令

注：1. EmC 中的 “m” 代表指令集中的乘法。

### 1.4.2 片上存储器

内置 6K 字节 SRAM 区，用于存放数据，掉电后数据丢失。

内置 32K 字节程序闪存存储区 (Code FLASH)，即用户区，用于用户的应用程序和常量数据存储。

内置 3328 字节系统存储区 (System FLASH)，即 BOOT 区，用于系统引导程序存储，内置自举加载程序。

内置 256 字节系统非易失配置信息存储区，用于厂商配置字存储，出厂前固化，用户不可修改。

内置 256 字节用户自定义信息存储区，用于用户选择字存储。

### 1.4.3 供电方案

$V_{DD} = 2.7 \sim 5.5V$ ：为 I/O 引脚以及内部调压器供电。

### 1.4.4 复位电路

芯片内部集成了上电复位 (POR) / 掉电复位 (PDR) 电路，该电路始终处于工作状态，保证系统在供电超过设定的阈值 ( $V_{POR/PDR}$ ) 时工作；当  $V_{DD}$  低于设定的阈值 ( $V_{POR/PDR}$ ) 时，置器件于复位状态，而不必使用外部复位电路。关于  $V_{POR/PDR}$  的值参考第 3 章。

### 1.4.5 系统电压调节器 LDO

复位后，系统电压调节器自动开启，根据应用方式有两种操作模式。

- 开启模式：正常的运行操作，提供稳定的内核电源。
- 低功耗模式：当 CPU 进入待机模式后，调节器低功耗运行。

### 1.4.6 低功耗模式

系统支持两种低功耗模式，可以针对低功耗、短启动时间和多种唤醒事件等条件下选择达到最佳的平衡。

- 睡眠模式 (SLEEP)

在睡眠模式下，只有 CPU 时钟停止，但所有外设时钟供电正常，外设处于工作状态。此模式是最浅低功耗模式，但可以达到最快唤醒。

退出条件：任意中断或唤醒事件。

- 待机模式 (STANDBY)

在内核的深睡眠模式 (SLEEPDEEP) 基础上结合了外设的时钟控制机制，并让电压调节器的运行处于更低功耗的状态。高频时钟 (HSI/HSE/PLL) 域被关闭，SRAM 和寄存器内容保持，I/O 引脚状态保持。该模式唤醒后系统可以继续运行，HSI 作为默认系统时钟。

退出条件：任意外部中断或唤醒事件（EXTI 信号）、RST 上的外部复位信号、IWDG 复位，其中 EXTI 信号包括 18 个外部 I/O 口之一、AWU 自动唤醒等。

#### 1.4.7 快速可编程中断控制器（PFIC）

芯片内置快速可编程中断控制器（PFIC），最多支持 255 个中断向量，以最小的中断延迟提供了灵活的中断管理功能。当前芯片管理了 4 个内核私有中断和 25 个外设中断管理，其他中断源保留。PFIC 的寄存器均可以在用户和机器特权模式下访问。

- 2 个可单独屏蔽中断
- 提供一个不可屏蔽中断 NMI
- 支持硬件中断堆栈（HPE），无需指令开销
- 提供 2 路免表中断（VTF）
- 向量表支持地址或指令模式
- 支持 2 级中断嵌套
- 支持中断尾部链接功能

#### 1.4.8 外部中断/事件控制器（EXTI）

外部中断/事件控制器总共包含 10 个边沿检测器，用于产生中断/事件请求。每个中断线都可以独立地配置其触发事件（上升沿或下降沿或双边沿），并能够单独地被屏蔽；挂起寄存器维持所有中断请求状态。EXTI 可以检测到脉冲宽度小于内部 HB 的时钟周期。多达 18 个通用 I/O 口都可选择连接到同一个外部中断线。

#### 1.4.9 通用 DMA 控制器

系统内置了通用 DMA 控制器，管理 7 个通道，灵活处理存储器到存储器、外设到存储器和存储器到外设间的高速数据传输，支持环形缓冲区方式。每个通道都有专门的硬件 DMA 请求逻辑，支持一个或多个外设对存储器的访问请求，可配置访问优先权、传输长度、传输的源地址和目标地址等。

DMA 用于主要的外设包括：通用/高级定时器 TIMx、ADC、USART、I2C、SPI。

注：DMA 和 CPU 经过仲裁器仲裁之后对系统 SRAM 进行访问。

#### 1.4.10 时钟和启动

系统时钟源 HSI 默认开启，在没有配置时钟或者复位后，内部 24MHz 的 RC 振荡器作为默认的 CPU 时钟，随后可以另外选择外部 3~25MHz 时钟或 PLL 时钟。当打开时钟安全模式后，如果 HSE 用作系统时钟（直接或间接），此时检测到外部时钟失效，系统时钟将自动切换到内部 RC 振荡器，同时 HSE 和 PLL 自动关闭；对于关闭时钟的低功耗模式，唤醒后系统也将自动地切换到内部的 RC 振荡器。如果使能了时钟中断，软件可以接收到相应的中断。

此外，为了提高系统的可靠性，还增加了系统时钟监控（System Clock Monitor, SCM）模块。当其使能位开启后，如果系统时钟失效，就会产生刹车信号给高级定时器 TIM1，同时会置位系统时钟失效中断标志。若提前使能相应中断使能，则会进入中断。

#### 1.4.11 ADC（模拟/数字转换器）

芯片内置 12 位的模拟/数字转换器（ADC），提供多达 8 个外部通道和 3 个内部通道采样，采样速率可高达 3Msps，提供可编程的通道采样时间，可以实现单次、连续、扫描或间断转换。提供模拟看门狗功能允许非常精准地监控一路或多路选中的通道，用于监测通道信号电压，监测到电压超过设定的阈值时，可配置产生复位，保护系统。

ADC 内部通道分别是 ADC\_IN8~ADC\_IN10。内部参考电压  $V_{REF}$  被连接到 IN8 输入通道上；内部校准电压  $V_{CAL}$  被连接到 IN10 输入通道上，其值为系统电源电压  $V_{DD}$  的一半。

#### 1.4.12 定时器及看门狗

- 高级定时器 (TIM1)

高级定时器是一个 16 位的自动装载递增/递减计数器，具有 16 位可编程的预分频器。除了完整的通用定时器功能外，可以被看成是分配到 6 个通道的三相 PWM 发生器，具有带死区插入的互补 PWM 输出功能，允许在指定数目的计数器周期之后更新定时器进行重复计数周期，刹车功能等。高级定时器的很多功能都与通用定时器相同，内部结构也相同，因此高级定时器可以通过定时器链接功能与其他 TIM 定时器协同操作，提供同步或事件链接功能。

- 通用定时器 (TIM2)

通用定时器是一个 16 位的自动装载递增/递减计数器，具有一个可编程的 16 位预分频器以及 4 个独立的通道，每个通道都支持输入捕获、输出比较、PWM 生成和单脉冲模式输出。通过复用通道 3 和 4，通道 1 和 2 还具有带死区插入的互补 PWM 输出功能。此外，还能通过定时器链接功能与高级定时器 TIM1 共同工作，提供同步或事件链接功能。在调试模式下，计数器可以被冻结，任意通用定时器都能用于产生 PWM 输出。

- 独立看门狗 (IWDG)

独立看门狗是一个自由运行的 12 位递减计数器，支持 7 种分频系数。由一个内部独立的约 128KHz 的 RC 振荡器 (LSI) 提供时钟；LSI 独立于主时钟，可运行于待机模式。IWDG 在主程序之外，可以完全独立工作，因此，用于在发生问题时复位整个系统，或作为一个自由定时器为应用程序提供超时管理。通过选项字节可以配置成是软件或硬件启动看门狗。在调试模式下，计数器可以被冻结。

- 窗口看门狗 (WWDG)

窗口看门狗是一个 7 位的递减计数器，并可以设置成自由运行。可以被用于在发生问题时复位整个系统。其由主时钟驱动，具有早期预警中断功能；在调试模式下，计数器可以被冻结。

- 系统时基定时器 (SysTick)

青稞微处理器内核自带一个 32 位递增的计数器，用于产生 SYSTICK 异常 (异常号: 15)，可专用于实时操作系统，为系统提供“心跳”节律，也可当成一个标准的 32 位计数器。具有自动重加载功能及可编程的时钟源。

#### 1.4.13 通用异步收发器 (USART)

芯片提供了 1 组通用异步收发器 (USART)。支持全双工异步串口通信以及半双工单线通信，也支持 LIN (局部互连网)，兼容 IrDA SIR ENDEC 传输编解码规范，以及调制解调器 (CTS/RTS 硬件流控) 操作，还支持多处理器通信。其采用分数波特率发生器系统，支持 DMA 操作连续通讯。

#### 1.4.14 串行外设接口 (SPI)

芯片提供 1 个串行外设 SPI 接口，支持主或从操作，动态切换。支持多主模式，全双工或半双工同步传输，支持基本的 SD 卡和 MMC 模式。可编程的时钟极性和相位，数据位宽提供 8 或 16 位选择，可靠通信的硬件 CRC 产生/校验，支持 DMA 操作连续通讯。

#### 1.4.15 I2C 总线

芯片提供 1 个 I2C 总线接口，能够工作于多主机模式或从模式，完成所有 I2C 总线特定的时序、协议、仲裁等。支持标准和快速两种通讯速度。

I2C 接口提供 7 位或 10 位寻址，并且在 7 位从模式时支持双从地址寻址。内置了硬件 CRC 发生器/校验器。



#### 1.4.16 通用输入输出接口 (GPIO)

系统提供了 3 组 GPIO 端口 (PA1~PA2、PA4、PC0~PC7、PD0~PD7)，共 18 个 GPIO 引脚。多数引脚都可以由软件配置成输出 (推挽或开漏)、输入 (带或不带上拉或下拉) 或复用的外设功能端口。

当 PA1 和 PA2 为晶振引脚，即 PA1PA2\_RM = 1 时，PA1 和 PA2 不能做 GPIO 功能使用。

所有 GPIO 引脚支持可控上拉和下拉电阻。PD7 作为复位引脚时，默认开启上拉电阻并关闭下拉电阻。

所有 GPIO 引脚都与数字或模拟的复用外设共用。所有 GPIO 引脚都有较大电流驱动能力。提供锁定机制冻结 I/O 配置，以避免意外的写入 I/O 寄存器。

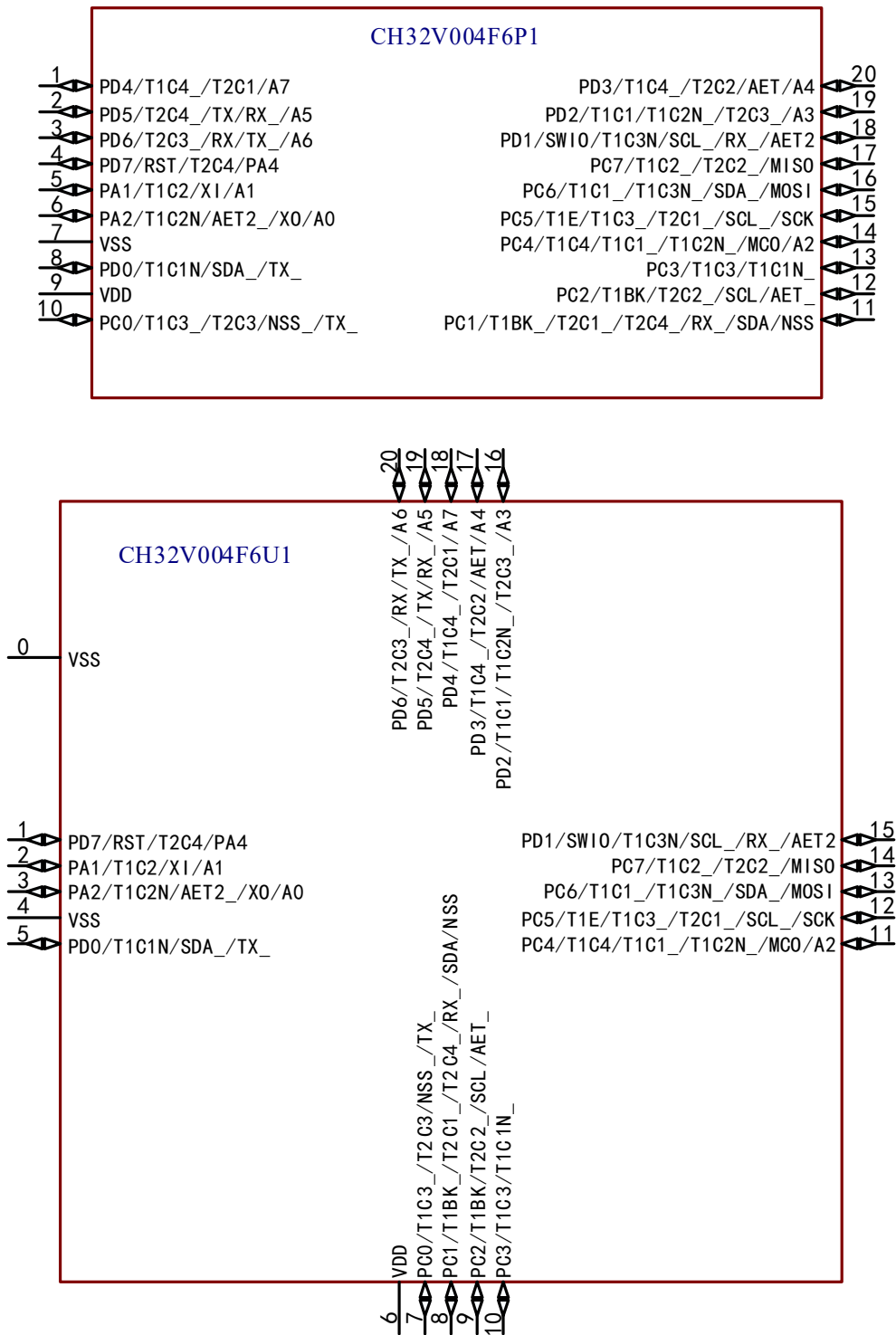
系统中所有 I/O 引脚的电源由  $V_{DD}$  提供，通过改变  $V_{DD}$  供电将改变 I/O 引脚输出电平高值来适配外部通讯接口电平。具体引脚请参考引脚描述。

#### 1.4.17 串行单线调试接口 (1-wire SDI Serial Debug Interface)

内核自带一个串行单线调试接口，对应 SWIO 引脚 (Single Wire Input Output)。系统上电或复位后默认调试接口引脚功能开启，主程序运行后可以根据需要关闭 SDI。在使用单线仿真调试接口时必须开启 HSI 时钟。

## 第 2 章 引脚信息

### 2.1 引脚排列



注：引脚图中复用功能均为缩写。

示例：A:ADC\_ (A1:ADC\_IN1、AET:ADC\_RETR、AET2:ADC\_IETR)

T1:TIM1\_ (T1C1:TIM1\_CH1、T1C1N:TIM1\_CH1N、T1BK:TIM1\_BKIN、T1E:TIM1\_ETR)

T2:TIM2\_ (T2C1:TIM2\_CH1\_ETR、T2C2:TIM2\_CH2)

USART1\_ (RX:USART1\_RX、TX:USART1\_TX)

I2C\_ (SDA:I2C\_SDA、SCL:I2C\_SCL)

SPI\_ (SCK:SPI\_SCK、NSS:SPI\_NSS、MISO:SPI\_MISO、MOSI:SPI\_MOSI)

## 2.2 引脚描述

注意，下表中的引脚功能描述针对的是所有功能，不涉及具体型号产品。不同型号之间外设资源有差异，查看前请先根据产品型号资源表确认是否有此功能。

表 2-1 CH32V004 引脚定义

引脚 编号	引脚 名称		主功能 (复位 后)	默认复用功能	重映射功能 <sup>(2)</sup>
	QFN20	TSSOP20			
0	-	V <sub>SS</sub>	P	V <sub>SS</sub>	
18	1	PD4	I/O/A	PD4	ADC_IN7/TIM2_CH1_ETR TIM1_CH4_3/TIM1_ETR_1/ TIM1_ETR_4/TIM1_ETR_5/ TIM1_ETR_6/TIM2_CH2_7/ USART1_RTS_9/SPI_SCK_4
19	2	PD5	I/O/A	PD5	ADC_IN5/USART1_TX TIM2_CH4_3/USART1_RX_1/ USART1_CTS_9/SPI_MISO_4
20	3	PD6	I/O/A	PD6	ADC_IN6/USART1_RX TIM2_CH3_3/USART1_TX_1/ SPI_MOSI_4
1	4	PD7 <sup>(3)</sup>	I/O	PD7	TIM2_CH4/RST TIM2_CH4_1/USART1_CTS_4/ USART1_CTS_5
		PA4 <sup>(3)</sup>	I/O	PA4	
2	5	PA1	I/O/A	PA1	XI/TIM1_CH2_1/TIM1_CH2_9/ TIM2_CH2_5/TIM2_CH2_6/ USART1_RX_8/SPI_SCK_5
3	6	PA2	I/O/A	PA2	XO/TIM1_CH3_9/TIM1_CH2N_1/ TIM1_CH2N_4/TIM1_CH2N_5/ TIM1_CH2N_6/TIM2_CH3_5/ TIM2_CH3_6/TIM2_CH3_7/ SPI_MOSI_5/ADC_IETR_1
4	7	V <sub>SS</sub>	P	V <sub>SS</sub>	
5	8	PDO	I/O	PDO	TIM1_CH1N TIM1_CH1N_1/TIM1_CH3N_4/ TIM1_CH3N_5/TIM1_CH3N_6/ USART1_TX_2/I2C_SDA_1
6	9	V <sub>DD</sub>	P	V <sub>DD</sub>	
7	10	PC0	I/O	PC0	TIM2_CH3 TIM1_CH3_2/TIM1_CH1N_7/ TIM1_CH1N_9/TIM2_CH1_ETR_4/ TIM2_CH3_1/USART1_TX_3/ SPI_NSS_1/SPI_MOSI_3
8	11	PC1	I/O	PC1	I2C_SDA/SPI_NSS TIM1_CH2N_7/TIM1_CH2N_9/ TIM1_BKIN_2/TIM1_BKIN_3/ TIM2_CH1_ETR_1/TIM2_CH2_4/ TIM2_CH1_ETR_3/TIM2_CH4_2/ USART1_RX_3/SPI_NSS_5
9	12	PC2	I/O	PC2	TIM1_BKIN/USART1_RTS/ TIM1_CH3N_7/TIM1_CH3N_9/

引脚编号		引脚名称	引脚类型 <sup>(1)</sup>	主功能 (复位后)	默认复用功能	重映射功能 <sup>(2)</sup>
QFN20	TSSOP20					
					I2C_SCL	TIM2_CH2_2/USART1_RTS_2/ TIM1_BKIN_1/TIM1_ETR_3/ ADC_RETR_1
10	13	PC3	I/O	PC3	TIM1_CH3	TIM1_CH3_1/TIM1_CH3_5/ TIM1_CH1N_2/TIM1_CH1N_3/ TIM2_CH3_4/USART1_CTS_2
11	14	PC4	I/O	PC4	ADC_IN2/TIM1_CH4/MCO	TIM1_CH1_3/TIM1_CH1_7/ TIM1_CH1_8/TIM1_CH4_1/ TIM1_CH2N_2/USART1_RX_9/ SPI_NSS_2/SPI_NSS_6/
12	15	PC5	I/O	PC5	TIM1_ETR/SPI_SCK	TIM1_CH2_7/TIM1_CH2_8/ TIM1_CH3_3/TIM1_ETR_2/ TIM2_CH1_ETR_2/USART1_TX_6/ I2C_SCL_2/SPI_SCK_1
13	16	PC6	I/O	PC6	SPI_MOSI	TIM1_CH1_2/TIM1_CH3_7/ TIM1_CH3_8/TIM1_CH3N_3/ USART1_RX_6/USART1_CTS_1/ USART1_CTS_3/SPI_MOSI_1/ I2C_SDA_2
14	17	PC7	I/O	PC7	SPI_MISO	TIM1_CH2_2/TIM1_CH2_3/ TIM1_CH4_7/TIM1_CH4_8/ TIM2_CH2_3/USART1_CTS_6/ USART1_CTS_7/USART1_RTS_1/ USART1_RTS_3/SPI_MISO_1/ SPI_MISO_6
15	18	PD1	I/O/A	PD1	TIM1_CH3N/SWIO/ ADC_IETR	TIM1_CH4_4/TIM1_CH4_5/ TIM1_CH3N_1/TIM1_CH3N_2/ USART1_TX_4/USART1_RX_2/ USART1_RX_5/I2C_SCL_1/ I2C_SDA_4
16	19	PD2	I/O/A	PD2	ADC_IN3/TIM1_CH1	TIM1_CH1_1/TIM1_CH2N_3/ TIM2_CH3_2/USART1_CTS_8/ SPI_SCK_2
17	20	PD3	I/O/A	PD3	ADC_IN4/TIM2_CH2/ USART1_CTS/ADC_RETR	TIM1_CH4_2/TIM2_CH1_ETR_7/ TIM2_CH2_1/USART1_RTS_8/ SPI_NSS_4/SPI_MOSI_2

注 1: 表格缩写解释:

I = TTL/CMOS电平斯密特输入; 0 = CMOS电平三态输出;

A = 模拟信号输入或输出; P = 电源。

注2: 重映射功能下划线后的数值表示AFIO寄存器中相对应位的配置值。例如: TIM1\_CH4\_3表示AFIO寄存器相应位配置为011b。

注3: 对于CH32V004芯片, PA4与PD7引脚在芯片内部短接合封, 禁止两个I/O均配置为输出功能。

## 2.3 引脚复用功能

注意，下表中的引脚功能描述针对的是所有功能，不涉及具体型号产品。不同型号之间外设资源有差异，查看前请先根据产品型号资源表确认是否有此功能。

表 2-2 引脚复用和重映射功能

复用 引脚	ADC	TIM1	TIM2	USART	SYS	I2C	SPI
PA1	ADC_IN1	TIM1_CH2 TIM1_CH2_1 TIM1_CH2_9	TIM2_CH2_5 TIM2_CH2_6	USART1_RX_8	XI		SPI_SCK_5
PA2	ADC_IN0 ADC_IETR_1	TIM1_CH3_9 TIM1_CH2N TIM1_CH2N_1 TIM1_CH2N_4 TIM1_CH2N_5 TIM1_CH2N_6	TIM2_CH3_5 TIM2_CH3_6 TIM2_CH3_7		XO		SPI_MOSI_5
PC0		TIM1_CH3_2 TIM1_CH1N_7 TIM1_CH1N_9	TIM2_CH1_ETR_4 TIM2_CH3 TIM2_CH3_1	USART1_TX_3			SPI_NSS_1 SPI_MOSI_3
PC1		TIM1_CH2N_7 TIM1_CH2N_9 TIM1_BKIN_2 TIM1_BKIN_3	TIM2_CH1_ETR_1 TIM2_CH1_ETR_3 TIM2_CH2_4 TIM2_CH4_2	USART1_RX_3		I2C_SDA	SPI_NSS SPI_NSS_5
PC2	ADC_RETR_1	TIM1_CH3N_7 TIM1_CH3N_9 TIM1_BKIN TIM1_BKIN_1 TIM1_ETR_3	TIM2_CH2_2	USART1_RTS USART1_RTS_2		I2C_SCL	
PC3		TIM1_CH3 TIM1_CH3_1 TIM1_CH3_5 TIM1_CH1N_2 TIM1_CH1N_3	TIM2_CH3_4	USART1_CTS_2			
PC4	ADC_IN2	TIM1_CH1_3 TIM1_CH1_7 TIM1_CH1_8 TIM1_CH4 TIM1_CH4_1 TIM1_CH2N_2		USART1_RX_9	MCO		SPI_NSS_2 SPI_NSS_6
PC5		TIM1_CH2_7 TIM1_CH2_8 TIM1_CH3_3 TIM1_ETR TIM1_ETR_2	TIM2_CH1_ETR_2	USART1_TX_6		I2C_SCL_2	SPI_SCK SPI_SCK_1
PC6		TIM1_CH1_2 TIM1_CH3_7 TIM1_CH3_8 TIM1_CH3N_3		USART1_RX_6 USART1_CTS_1 USART1_CTS_3		I2C_SDA_2	SPI_MOSI SPI_MOSI_1
PC7		TIM1_CH2_2 TIM1_CH2_3 TIM1_CH4_7 TIM1_CH4_8	TIM2_CH2_3	USART1_CTS_6 USART1_CTS_7 USART1_RTS_1 USART1_RTS_3			SPI_MISO SPI_MISO_1 SPI_MISO_6
PDO		TIM1_CH1N TIM1_CH1N_1 TIM1_CH3N_4 TIM1_CH3N_5 TIM1_CH3N_6		USART1_TX_2		I2C_SDA_1	
PD1	ADC_IETR	TIM1_CH4_4 TIM1_CH4_5 TIM1_CH3N TIM1_CH3N_1 TIM1_CH3N_2		USART1_TX_4 USART1_RX_2 USART1_RX_5	SWIO SWDIO	I2C_SCL_1 I2C_SDA_4	
PD2	ADC_IN3	TIM1_CH1 TIM1_CH1_1 TIM1_CH2N_3	TIM2_CH3_2	USART1_CTS_8			SPI_SCK_2

复用 引脚	ADC	TIM1	TIM2	USART	SYS	I2C	SPI
PD3	ADC_IN4 ADC_RETR	TIM1_CH4_2	TIM2_CH1_ETR_7 TIM2_CH2 TIM2_CH2_1	USART1_CTS USART1_RTS_8			SPI_NSS_4 SPI_MOSI_2
PD4	ADC_IN7	TIM1_CH4_3 TIM1_ETR_1 TIM1_ETR_4 TIM1_ETR_5 TIM1_ETR_6	TIM2_CH1_ETR TIM2_CH2_7	USART1_RTS_9			SPI_SCK_4
PD5	ADC_IN5		TIM2_CH4_3	USART1_TX USART1_RX_1 USART1_CTS_9			SPI_MISO_4
PD6	ADC_IN6		TIM2_CH3_3	USART1_TX_1 USART1_RX			SPI_MOSI_4
PD7			TIM2_CH4 TIM2_CH4_1	USART1_CTS_4 USART1_CTS_5	RST		



## 第3章 电气特性

### 3.1 测试条件

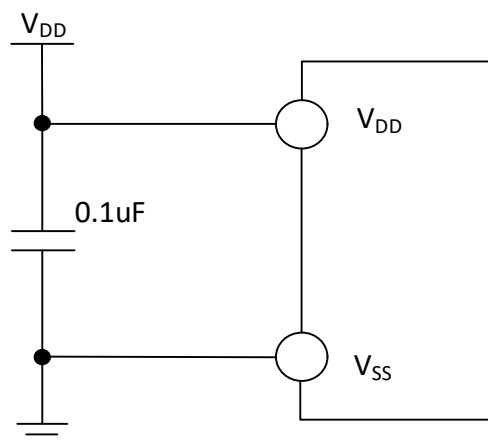
除非特殊说明和标注，所有电压都以  $V_{SS}$  为基准。

所有最小值和最大值将在最坏的环境温度、供电电压和时钟频率条件下得到保证。典型数值是基于常温  $25^{\circ}\text{C}$  和  $V_{DD} = 3.3\text{V}$  或  $5\text{V}$  的环境下用于设计指导。

对于通过综合评估、设计模拟或工艺特性得到的数据，不会在生产线上进行测试。在综合评估的基础上，最小和最大值是通过样本测试后统计得到。除非特殊说明为实测值，否则特性参数以综合评估或设计保证。

供电方案：

图 3-1 常规供电典型电路



### 3.2 绝对最大值

临界或者超过绝对最大值将可能导致芯片工作不正常甚至损坏。

表 3-1 绝对最大值参数表

符号	描述	最小值	最大值	单位
$T_A$	工作时的环境温度	-10	70	$^{\circ}\text{C}$
$T_S$	存储时的环境温度	-40	125	$^{\circ}\text{C}$
$V_{DD}-V_{SS}$	外部主供电引脚 $V_{DD}$ 上的电压	-0.3	5.5	V
$V_{IN}$	I/O 引脚上的电压	$V_{SS}-0.3$	$V_{DD}+0.3$	V
$ \Delta V_{DD_x} $	主供电引脚各 $V_{DD}$ 之间的电压差		50	mV
$ \Delta V_{SS_x} $	公共地引脚各 $V_{SS}$ 之间的电压差		50	mV
$V_{ESD(HBM)}$	普通 I/O 引脚的 ESD 静电放电电压 (HBM)	4K		V
$I_{VDD}$	所有 $V_{DD}$ 主供电引脚的合计总电流		100	mA
$I_{VSS}$	所有 $V_{SS}$ 公共地引脚的合计总电流		200	mA
$I_{IO}$	任意 I/O 和控制引脚上的灌电流		30	mA
	任意 I/O 和控制引脚上的源电流		-30	
$I_{INJ(PIN)}$	HSE 的 XI 引脚		+/-4	
	其他引脚的注入电流		+/-4	
$\Sigma I_{INJ(PIN)}$	所有 I/O 和控制引脚的总注入电流		+/-20	

### 3.3 电气参数

#### 3.3.1 工作条件

表 3-2 通用工作条件

符号	参数	条件	最小值	最大值	单位
$F_{HCLK}$ 或 $F_{SYS}$	内部系统总线频率 或微处理器主频			48	MHz
$V_{DD}$	标准工作电压		2.7	5.5	V
$T_A$	环境温度		-10	70	°C
$T_J$	结温度范围		0	100	°C

表 3-3 上电和掉电条件

符号	参数	条件	最小值	最大值	单位
$t_{VDD}$	$V_{DD}$ 上升速率		0	20000	us/V
	$V_{DD}$ 下降速率		40	20000	

#### 3.3.2 内置复位和电源控制模块特性

表 3-4 复位 (PDR 选择高阈值档位)

符号	参数	条件	最小值	典型值	最大值	单位
$V_{POR/PDR}$	上电/掉电复位阈值	上升沿	1.7	1.85	2.0	V
		下降沿	1.6	1.75	1.9	V
$V_{PDRhyst}$	PDR 迟滞		60	80	100	mV
$t_{RSTEMPO}$	上电复位	$RST\_MODE[1:0] = 11$		2		ms
	其他复位			300		us

注：1. 常温测试值。

#### 3.3.3 内置的参考电压

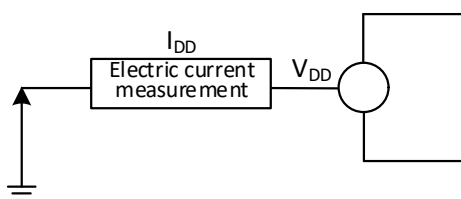
表 3-5 内置参考电压

符号	参数	条件	最小值	典型值	最大值	单位
$V_{REFINT}$	内置参考电压	$T_A = -10^{\circ}\text{C} \sim 70^{\circ}\text{C}$	1.18	1.2	1.22	V
$T_{S\_vrefint}$	当读出内部参考电压时, ADC 的采样时间	建议慢速采样	3		240	$1/f_{ADC}$

#### 3.3.4 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O 引脚的负载、产品的软件配置、工作频率、I/O 脚的翻转速率、程序在存储器中的位置以及执行的代码等。电流消耗测量方法如下图：

图 3-2 电流消耗测量



微控制器处于下列条件：

常温 VDD = 3.3V 或 5V 情况下，测试时：所有 I/O 端口配置下拉输入，HSI = 24MHz（已校准），寄存器 PWR\_CTLR 的位 LDO\_MODE = 10。使能或关闭所有外设时钟的功耗。

表 3-6 运行模式下典型的电流消耗，数据处理代码从内部闪存中运行

符号	参数	条件			典型值		单位
		HSI/HSE	HSI_LP	F <sub>HCLK</sub>	使能所有外设	关闭所有外设	
I <sub>DD</sub> <sup>(1)</sup>	运行模式下的供应电流	运行于高速外部时钟（HSE） (HSE_SI = 00, HSE_LP = 1)	X	F <sub>HCLK</sub> = 48MHz	4.3	3.4	mA
				F <sub>HCLK</sub> = 24MHz	3.3	2.8	
				F <sub>HCLK</sub> = 16MHz	2.8	2.5	
				F <sub>HCLK</sub> = 8MHz	2.5	2.4	
				F <sub>HCLK</sub> = 750KHz	1.7	1.7	
		运行于高速内部 RC 振荡器 (HSI)	0	F <sub>HCLK</sub> = 48MHz	3.6	2.7	
				F <sub>HCLK</sub> = 24MHz	2.5	2.0	
				F <sub>HCLK</sub> = 16MHz	2.1	1.7	
				F <sub>HCLK</sub> = 8MHz	1.8	1.6	
				F <sub>HCLK</sub> = 750KHz	0.9	0.9	
		1	F <sub>HCLK</sub> = 40KHz	0.6	0.6		

注：以上为实测参数。

表 3-7-2 睡眠模式下典型的电流消耗，数据处理代码从内部闪存或 SRAM 中运行

符号	参数	条件			典型值		单位
		HSI/HSE	HSI_LP	F <sub>HCLK</sub>	使能所有外设	关闭所有外设	
I <sub>DD</sub> <sup>(1)</sup>	SLEEP 睡眠模式下的供应电流（此时外设供电和时钟保持）	运行于高速外部时钟（HSE） (HSE_SI = 00, HSE_LP = 1)	X	F <sub>HCLK</sub> = 48MHz	3.0	2.1	mA
				F <sub>HCLK</sub> = 24MHz	2.3	1.8	
				F <sub>HCLK</sub> = 16MHz	2.1	1.8	
				F <sub>HCLK</sub> = 8MHz	1.8	1.7	
				F <sub>HCLK</sub> = 750KHz	1.6	1.6	
		运行于高速内部 RC 振荡器 (HSI)	0	F <sub>HCLK</sub> = 48MHz	2.2	1.3	
				F <sub>HCLK</sub> = 24MHz	1.5	1.0	
				F <sub>HCLK</sub> = 16MHz	1.3	1.0	
				F <sub>HCLK</sub> = 8MHz	1.1	0.9	
				F <sub>HCLK</sub> = 750KHz	0.9	0.9	
		1	F <sub>HCLK</sub> = 40KHz	0.6	0.6		

注：以上为实测参数。

表 3-8 待机模式下典型的电流消耗

符号	参数	条件			典型值	单位
		独立看门狗	LSI	V <sub>DD</sub>		
I <sub>DD</sub>	STANDBY 待机模式下的供应电流	开启	开启	3.3V	10.7	uA
				5V	11.6	
		关闭	关闭	3.3V	10.2	
				5V	11.1	

		关闭	开启	3.3V	10.6	
				5V	11.6	

注：以上为实测参数。

### 3.3.5 外部时钟源特性

表 3-9 来自外部高速时钟

符号	参数	条件	最小值	典型值	最大值	单位
$F_{HSE\_ext}$	外部时钟频率		3	24	32	MHz
$V_{HSEH}^{(1)}$	XI 输入引脚高电平电压		$0.8V_{DD}$		$V_{DD}$	V
$V_{HSEL}^{(1)}$	XI 输入引脚低电平电压		0		$0.2V_{DD}$	V
$C_{in(HSE)}$	XI 输入电容			5		pF
$DuCy_{(HSE)}$	占空比 (Duty cycle)		40	50	60	%
$I_L$	XI 输入漏电流				$\pm 1$	$\mu A$

注：1. 不满足此条件可能会引起电平识别错误。

图 3-3 外部提供高频时钟源电路

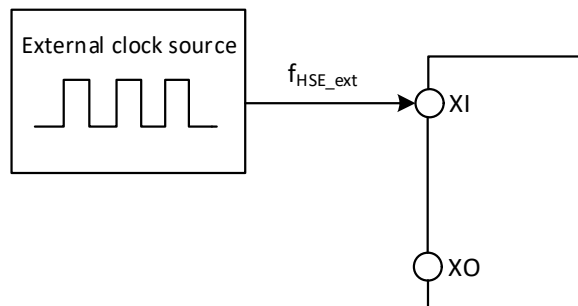


表 3-10 使用一个晶体/陶瓷谐振器产生的高速外部时钟

符号	参数	条件	最小值	典型值	最大值	单位
$F_{XI}$	谐振器频率		3	24	32	MHz
$R_F$	反馈电阻（无需外置）			250		k $\Omega$
$C_{LOAD}$	建议的负载电容与对应晶体串行阻抗 $R_S$	$R_S = 60\Omega^{(1)}$		20		pF
$I_{HSE}$	HSE 驱动电流	HSE_LP = 0, 20p 负载		1.6		mA
		HSE_LP = 1, 20p 负载		0.8		
$g_m$	振荡器的跨导	启动		21		mA/V
$t_{SU(HSE)}$	启动时间	$V_{DD}$ 是稳定		1.5 <sup>(2)</sup>		ms

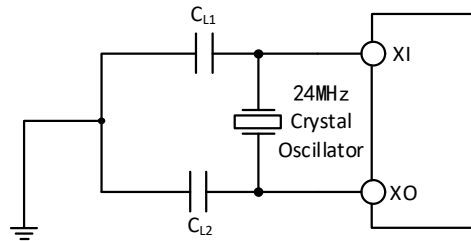
注：1. 25M 晶体 ESR 建议不超过 80 欧，低于 25M 可适当放宽。

2. 启动时间指从 HSEON 开启到 HSERDY 被置位的时间差。

电路参考设计及要求：

晶体的负载电容以晶体厂商建议为准，通常情况  $C_{L1} = C_{L2}$ 。

图 3-4 外接 24M 晶体典型电路



### 3.3.6 内部时钟源特性

表 3-11 内部高速 (HSI) RC 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
$F_{HSI}$	频率 (校准后)	HSI_LP = 0		24		MHz
		HSI_LP = 1	30	42	58	KHz
$DuCy_{HSI}$	占空比 (Duty cycle)		45	50	55	%
$ACC_{HSI}$	HSI 振荡器的精度 (校准后)	HSI_LP = 0, $T_A = -10^{\circ}C \sim 70^{\circ}C$	-2		2	%
$t_{SU(HSI)}^{(1)}$	HSI 振荡器启动稳定时间			3	8	us
$I_{DD(HSI)}$	HSI 振荡器功耗	HSI_LP = 0		200		uA
		HSI_LP = 1		8.5		

注：1. 寄存器 `RCC_CTLR HSION` 置 1，等待 `HSIRDY` 置 1。

表 3-12 内部低速 (LSI) RC 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
$F_{LSI}$	频率		90	128	172	KHz
$DuCy_{LSI}$	占空比 (Duty cycle)		45	50	55	%
$t_{SU(LSI)}^{(1)}$	LSI 振荡器启动稳定时间			30	100	us
$I_{DD(LSI)}^{(1)}$	LSI 振荡器功耗			550		nA

注：1. 寄存器 `RCC_CTLR LSION` 置 1，等待 `LSIRDY` 置 1。

### 3.3.7 从低功耗模式唤醒的时间

表 3-13 低功耗模式唤醒的时间

符号	参数	条件	典型值	单位
$t_{WUSLEEP}$	从睡眠模式唤醒	使用 HSI RC 时钟唤醒	10	us
$t_{WUSTDBY}$	从待机模式唤醒	LDO 稳定时间+使用 HSI RC 时钟唤醒	250	us

注：以上为实测参数。

### 3.3.8 存储器特性

表 3-14 闪存存储器特性

符号	参数	条件	最小值	典型值	最大值	单位
$t_{prog\_page}$	页 (256 字节) 编程时间			1.5	2.0	ms
$t_{erase\_page}$	页 (256 字节) 擦除时间			2.5	3.1	ms
$t_{erase\_sec}$	扇区 (1K 字节) 擦除时间			2.7	3.3	ms

表 3-15 闪存存储器寿命和数据保存期限

符号	参数	条件	最小值	典型值	最大值	单位
$N_{END}$	擦写次数	$T_A = 25^\circ\text{C}$	100K			次
$t_{RET}$	数据保存期限		10			年

## 3.3.9 I/O 端口特性

表 3-16 通用 I/O 静态特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IH}$	标准 I/O 引脚, 输入高电平电压		$0.20*(V_{DD}-2.7)$ +1.55		$V_{DD}+0.3$	V
$V_{IL}$	标准 I/O 引脚, 输入低电平电压		-0.3		$0.20*(V_{DD}-2.7)$ +0.65	V
$V_{hys}$	标准 I/O 施密特触发器电压迟滞		150			mV
$I_{lkg}$	标准 I/O 引脚输入漏电流				1	$\mu\text{A}$
$R_{PU}$	上拉等效电阻		35	45	55	$\text{k}\Omega$
$R_{PD}$	下拉等效电阻		35	45	55	$\text{k}\Omega$
$C_{I0}$	I/O 引脚电容			5		pF

## 输出驱动电流特性

GPIO (通用输入/输出端口) 可以吸收或输出多达  $\pm 8\text{mA}$  电流, 并且吸收或输出  $\pm 20\text{mA}$  电流 (不严格达到  $V_{OL}/V_{OH}$ )。在用户应用中, 所有 I/O 引脚驱动总电流不能超过 3.2 节给出的绝对最大额定值。

表 3-17 输出电压特性

符号	参数	条件	最小值	最大值	单位
$V_{OL}$	输出低电平, 8 个引脚吸收电流	TTL 端口, $I_{I0} = +8\text{mA}$		0.4	V
$V_{OH}$	输出高电平, 8 个引脚输出电流	$2.7\text{V} < V_{DD} < 5.5\text{V}$	$V_{DD}-0.4$		
$V_{OL}$	输出低电平, 8 个引脚吸收电流	CMOS 端口, $I_{I0} = +8\text{mA}$		0.4	V
$V_{OH}$	输出高电平, 8 个引脚输出电流	$2.7\text{V} < V_{DD} < 5.5\text{V}$	2.3		
$V_{OL}$	输出低电平, 8 个引脚吸收电流	$I_{I0} = +20\text{mA}$		1.3	V
$V_{OH}$	输出高电平, 8 个引脚输出电流	$2.7\text{V} < V_{DD} < 5.5\text{V}$	$V_{DD}-1.3$		

注: 以上条件中如果多个 I/O 引脚同时驱动, 电流总和不能超过表 3.2 节给出的绝对最大额定值。另外多个 I/O 引脚同时驱动时, 电源/地线点上的电流很大, 会导致压降使内部 I/O 的电压达不到表中电源电压, 从而导致驱动电流小于标称值。

表 3-18 输入输出交流特性

符号	参数	条件	最小值	最大值	单位
$F_{\max(10)\text{out}}$	最大频率	$CL = 50\text{pF}, V_{DD} = 2.7-5.5\text{V}$		30	MHz
$t_{f(10)\text{out}}$	输出高至低电平的下降时间	$CL = 50\text{pF}, V_{DD} = 2.7-5.5\text{V}$		10	ns
$t_{r(10)\text{out}}$	输出低至高电平的上升时间	$CL = 50\text{pF}, V_{DD} = 2.7-5.5\text{V}$		10	ns
$t_{EXT1pw}$	EXTI 控制器检测到外部信号的脉冲宽度		10		ns

注: 以上均为设计参数保证。

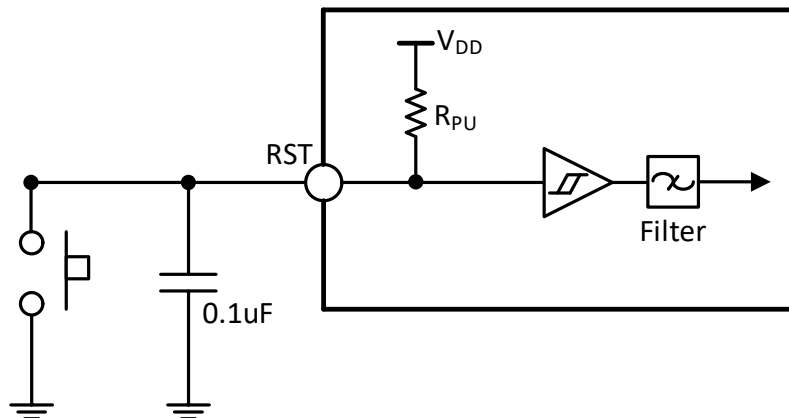
## 3.3.10 RST 引脚特性

表 3-19 外部复位引脚特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL(RST)}$	RST 输入低电平电压		-0.3		$0.20*(V_{DD}-2.7)$ +0.65	V
$V_{IH(RST)}$	RST 输入高电平电压		$0.20*(V_{DD}-2.7)$ +1.55		$V_{DD}+0.3$	V
$V_{hys(RST)}$	RST 施密特触发器电压迟滞		150			mV
$R_{PU}$	上拉等效电阻		35	45	55	k $\Omega$
$V_F(RST)$	RST 输入可被滤波脉宽				100	ns
$V_{NF(RST)}$	RST 输入无法滤波脉宽		300			ns

电路参考设计及要求：

图 3-5 外部复位引脚典型电路



注：图中的电容是可选的，可以用于滤除按键抖动。

## 3.3.11 TIM 定时器特性

表 3-20 TIMx 特性

符号	参数	条件	最小值	最大值	单位
$t_{res(TIM)}$	定时器基准时钟		1		$t_{TIMxCLK}$
		$f_{TIMxCLK} = 48MHz$	20.8		ns
$F_{EXT}$	CH1 至 CH4 的定时器外部时钟频率		0	$f_{TIMxCLK}/2$	MHz
		$f_{TIMxCLK} = 48MHz$	0	24	MHz
$R_{esTIM}$	定时器分辨率			16	位
$t_{COUNTER}$	当选择了内部时钟时，16 位计数器时钟周期		1	65536	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 48MHz$	0.0208	1363	$\mu s$
$t_{MAX\_COUNT}$	最大可能的计数			65535	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 48MHz$		1363	$\mu s$

3.3.12 I2C 接口特性

图 3-6 I2C 总线时序图

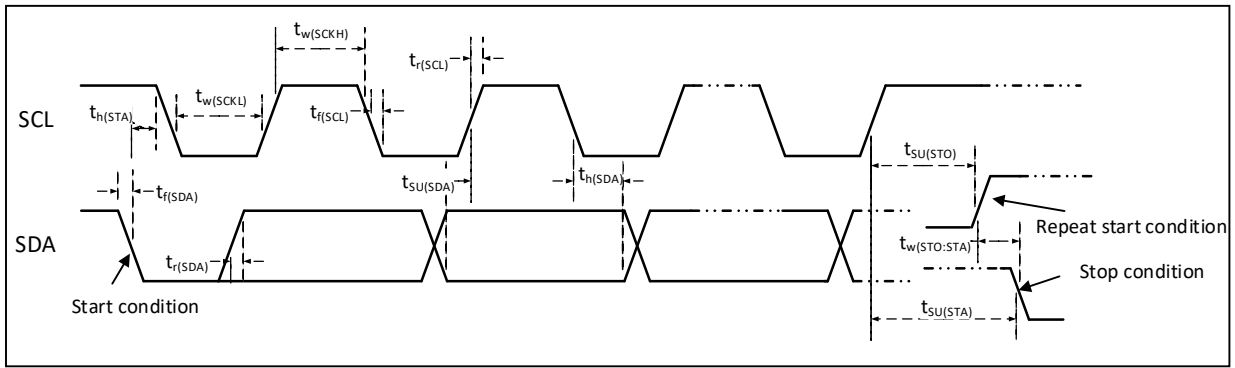


表 3-21 I2C 接口特性

符号	参数	标准 I2C		快速 I2C		单位
		最小值	最大值	最小值	最大值	
$t_{w(SCKL)}$	SCL 时钟低电平时间	4.7		1.2		us
$t_{w(SCKH)}$	SCL 时钟高电平时间	4.0		0.6		us
$t_{su(SDA)}$	SDA 数据建立时间	250		100		ns
$t_{h(SDA)}$	SDA 数据保持时间	0		0	900	ns
$t_{r(SDA)}/t_{r(SCL)}$	SDA 和 SCL 上升时间		1000	20		ns
$t_{f(SDA)}/t_{f(SCL)}$	SDA 和 SCL 下降时间		300			ns
$t_{h(STA)}$	开始条件保持时间	4.0		0.6		us
$t_{su(STA)}$	重复的开始条件建立时间	4.7		0.6		us
$t_{su(STO)}$	停止条件建立时间	4.0		0.6		us
$t_{w(STO:STA)}$	停止条件至开始条件的的时间(总线空闲)	4.7		1.2		us
$C_b$	每条总线的容性负载		400		400	pF



3.3.13 SPI 接口特性

图 3-7 SPI 主模式时序图

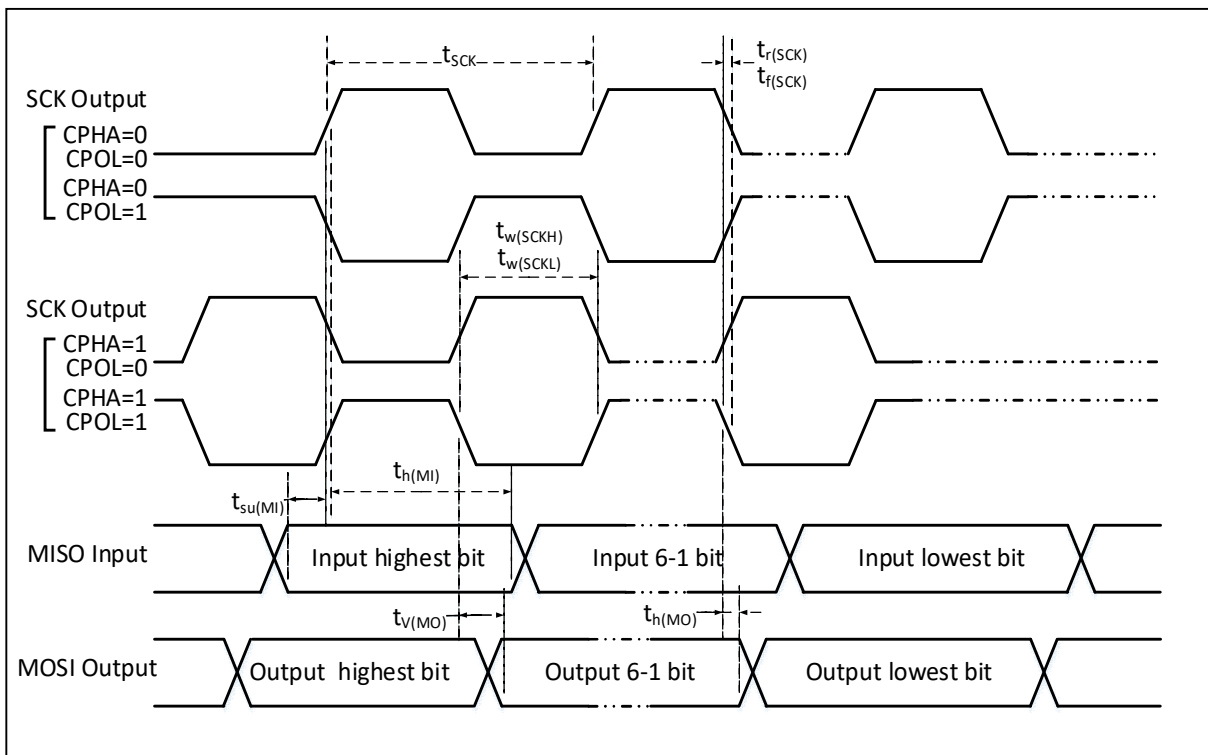


图 3-8-1 SPI 从模式时序图 (CPHA=0, CPOL=0)

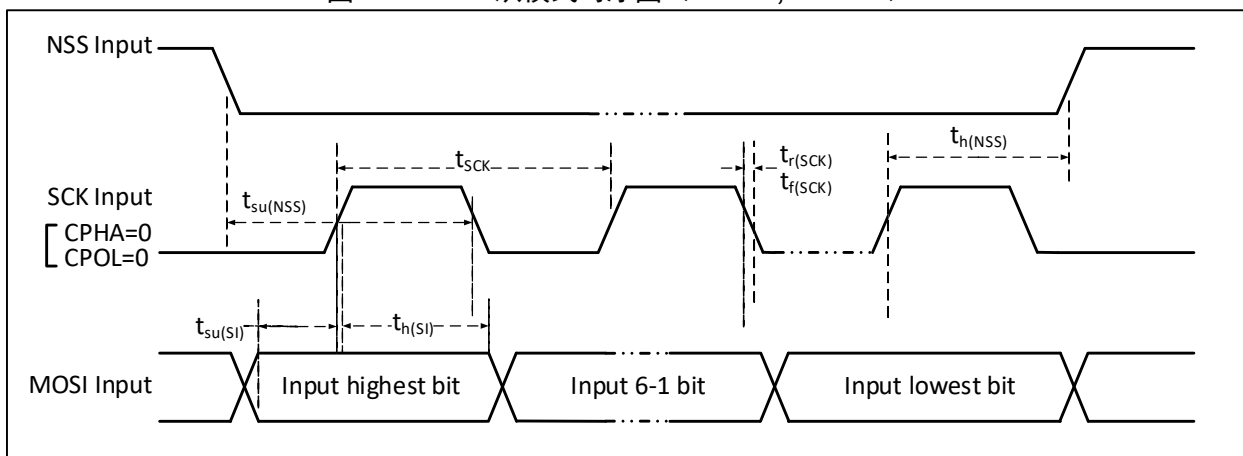


图 3-8-2 SPI 从模式时序图 (CPHA=0, CPOL=1)

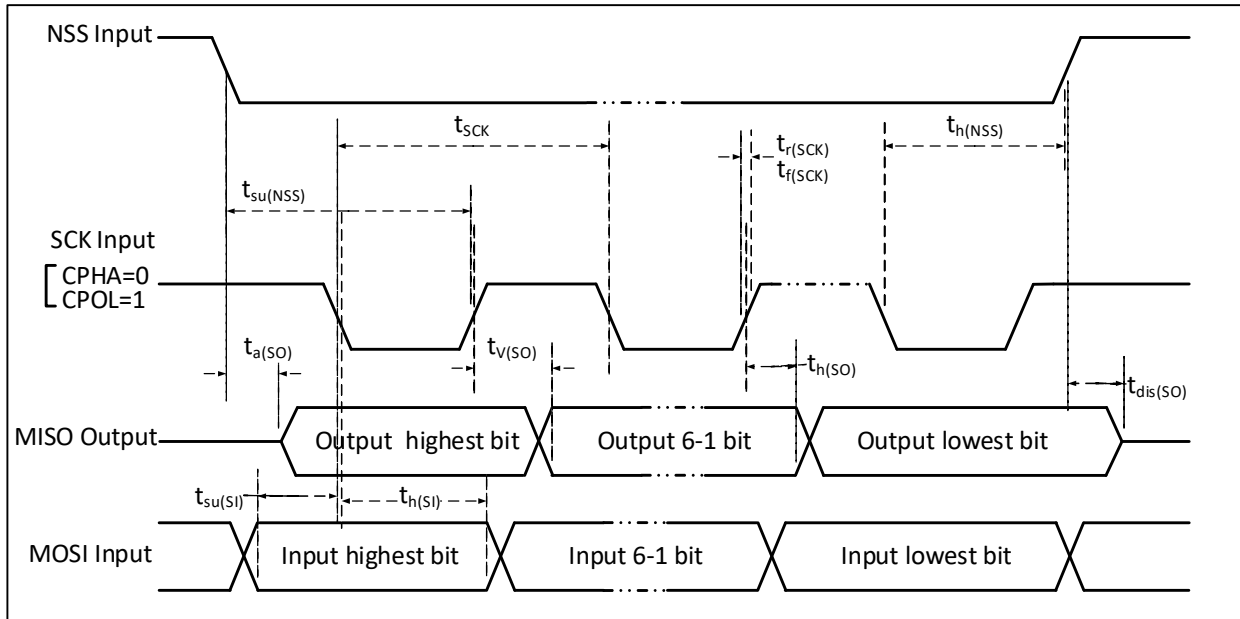


图 3-9-1 SPI 从模式时序图 (CPHA=1, CPOL=0)

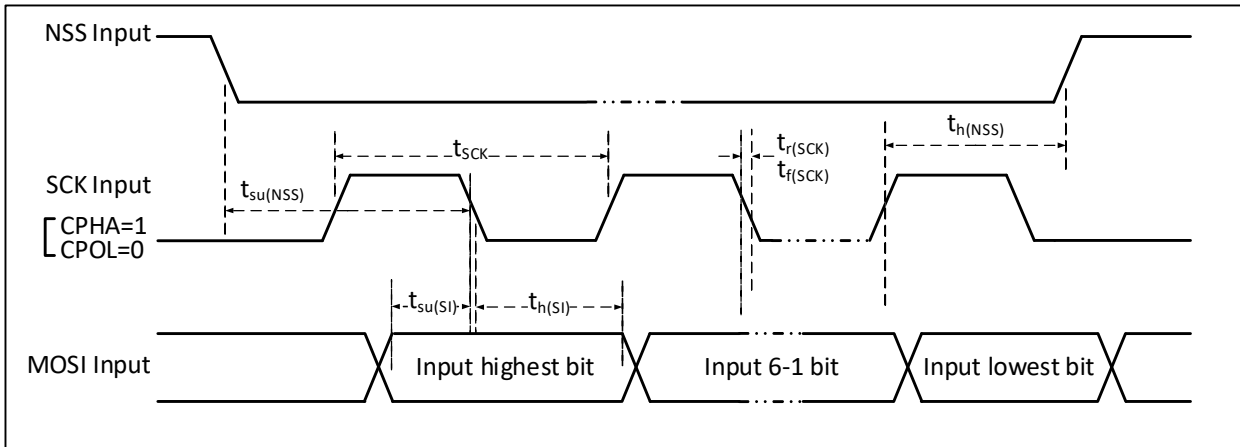


图 3-9-2 SPI 从模式时序图 (CPHA=1, CPOL=1)

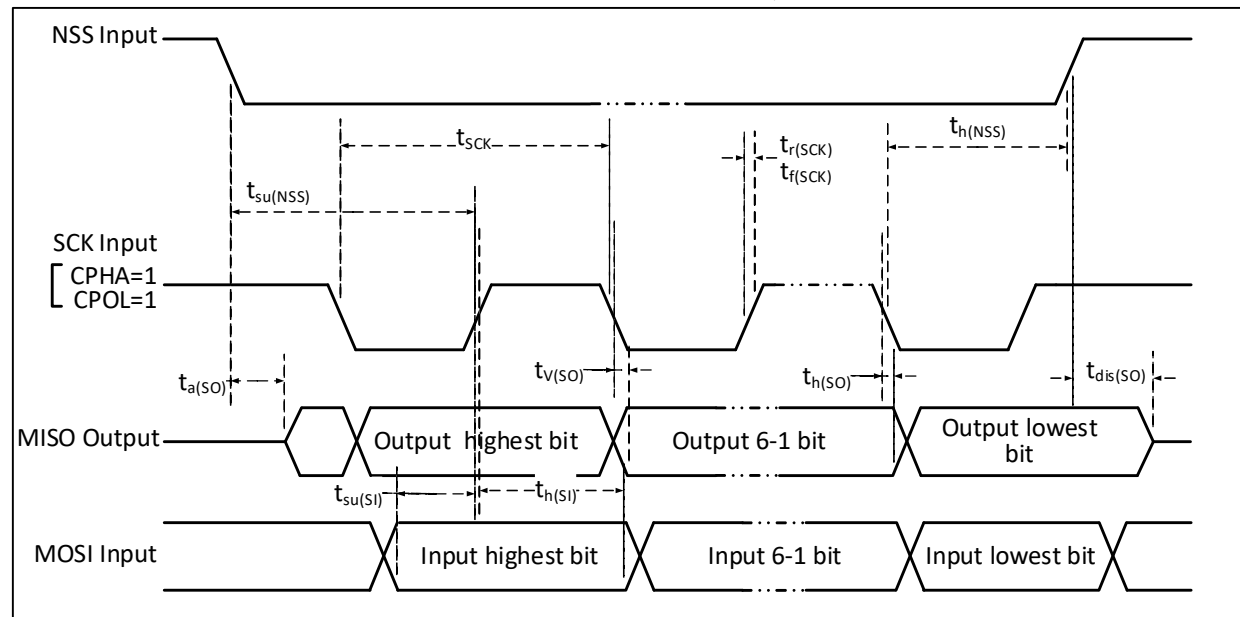


表 3-22 SPI 接口特性

符号	参数	条件	最小值	最大值	单位
$f_{SCK}/t_{SCK}$	SPI 时钟频率	主模式		24	MHz
		从模式		24	MHz
$t_r(SCK)/t_f(SCK)$	SPI 时钟上升和下降时间	负载电容: $C = 30pF$		10	ns
$t_{SU(NSS)}$	NSS 建立时间	从模式	$2t_{HCLK}$		ns
$t_{h(NSS)}$	NSS 保持时间	从模式	$2t_{HCLK}$		ns
$t_w(SCKH)/t_w(SCKL)$	SCK 高电平和低电平时间	主模式, $f_{HCLK} = 24MHz$ , 预分频系数=4	70	97	ns
$t_{SU(MI)}$	数据输入建立时间	主模式	HSRXEN = 0	15	ns
			HSRXEN = 1	$15-0.5t_{SCK}$	
$t_{SU(SI)}$		从模式	4		ns
$t_{h(MI)}$	数据输入保持时间	主模式	HSRXEN = 0	-4	ns
			HSRXEN = 1	$0.5t_{SCK}-4$	
$t_{h(SI)}$		从模式	4		ns
$t_a(SO)$	数据输出访问时间	从模式, $f_{HCLK} = 20MHz$	0	$1t_{HCLK}$	ns
$t_{dis(SO)}$	数据输出禁止时间	从模式	0	10	ns
$t_V(SO)$	数据输出有效时间	从模式 (使能边沿之后)		15	ns
$t_V(MO)$		主模式 (使能边沿之后)		5	ns
$t_h(SO)$	数据输出保持时间	从模式 (使能边沿之后)		6	ns
$t_h(MO)$		主模式 (使能边沿之后)		0	ns

## 3.3.14 12 位 ADC 特性

表 3-23 ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{DD}$	供电电压	$f_s < 1MHz$	2.7		5.5	V
		$f_s = 3MHz$	4.5		5.5	V
$I_{DDA}$	ADC 供电电流 (不含 buffer)	$f_s = 3MHz$		1.34		mA
		$f_s = 1MHz$		0.42		mA
$I_{BUF}$	ADC buffer 自身电流	ADC_LP = 0		0.68		mA
		ADC_LP = 1		0.13		mA
$f_{ADC}$	ADC 时钟频率			16	48	MHz
$f_s$	采样速率		0.06		3	MHz
$f_{TRIG}$	外部触发频率	$f_{ADC} = 16MHz$			900	KHz
		$f_{ADC} = 48MHz$			2.7	MHz
					18	$1/f_{ADC}$
$V_{AIN}$	转换电压范围		0		$V_{DD}$	V
$R_{AIN}$	外部输入阻抗				50	k $\Omega$
$R_{ADC}$	采样开关电阻			0.6	1.5	k $\Omega$
$C_{ADC}$	内部采样和保持电容			4		pF
$t_{CAL}$	校准时间	$f_{ADC} = 16MHz$			6.25	us
					100	$1/f_{ADC}$
$t_{lat}$	注入触发转换时延	$f_{ADC} = 16MHz$			0.125	us

		$f_{ADC} = 48\text{MHz}$			0.042	us
					2	$1/f_{ADC}$
$t_{latr}$	常规触发转换时延	$f_{ADC} = 16\text{MHz}$			0.125	us
		$f_{ADC} = 48\text{MHz}$			0.042	us
					2	$1/f_{ADC}$
$t_s$	采样时间	$f_{ADC} = 16\text{MHz}$	0.218		14.97	us
			3.5		239.5	$1/f_{ADC}$
		$f_{ADC} = 48\text{MHz}$	0.073		0.739	us
			3.5		35.5	$1/f_{ADC}$
$t_{STAB}$	上电时间				1	us
$t_{CONV}$	总的转换时间（包括采样时间）	$f_{ADC} = 16\text{MHz}$	1		15.75	us
			16		252	$1/f_{ADC}$
		$f_{ADC} = 48\text{MHz}$	0.33		1	us
			16		48	$1/f_{ADC}$

注：以上均为设计参数保证。

公式：最大  $R_{AIN}$

$$R_{AIN} < \frac{T_s}{f_{ADC} \times C_{ADC} \times \ln 2^{N+2}} - R_{ADC}$$

上述公式用于决定最大的外部阻抗，使得误差可以小于 1/4 LSB。其中 N=12(表示 12 位分辨率)。

表 3-24-1  $f_{ADC} = 16\text{MHz}$  时的最大  $R_{AIN}$

$T_s$ (周期)	$t_s$ (us)	最大 $R_{AIN}$ (k $\Omega$ )
3.5	0.22	4
7.5	0.47	10
13.5	0.84	20
28.5	1.78	45
41.5	2.59	65
55.5	3.47	/
71.5	4.47	/
239.5	14.97	/

表 3-24-2  $f_{ADC} = 48\text{MHz}$  时的最大  $R_{AIN}$  (高速模式)

$T_s$ (周期)	$t_s$ (us)	最大 $R_{AIN}$ (k $\Omega$ )
3.5	0.073	1.5
7.5	0.16	3
11.5	0.24	5
19.5	0.41	9
35.5	0.74	17
55.5	1.16	28
71.5	1.49	37
239.5	4.99	/

表 3-25 ADC 误差 ( $f_{ADC} = 16\text{MHz}$ ,  $ADC\_LP = 1$ )

符号	参数	条件	最小值	典型值	最大值	单位
E0	偏移误差	$R_{AIN} < 10\text{k}\Omega$ , $V_{DD} = 5\text{V}$		$\pm 2$	$\pm 6$	LSB
ED	微分非线性误差			$\pm 2$	$\pm 8$	
EL	积分非线性误差			$\pm 2$	$\pm 8$	

注：以上均为设计参数保证。

$C_p$  表示 PCB 与焊盘上的寄生电容 (大约 5pF)，可能与焊盘和 PCB 布局质量有关。较大的  $C_p$  数值将降低转换精度，解决办法是降低  $f_{ADC}$  值。

图 3-10 ADC 典型连接图

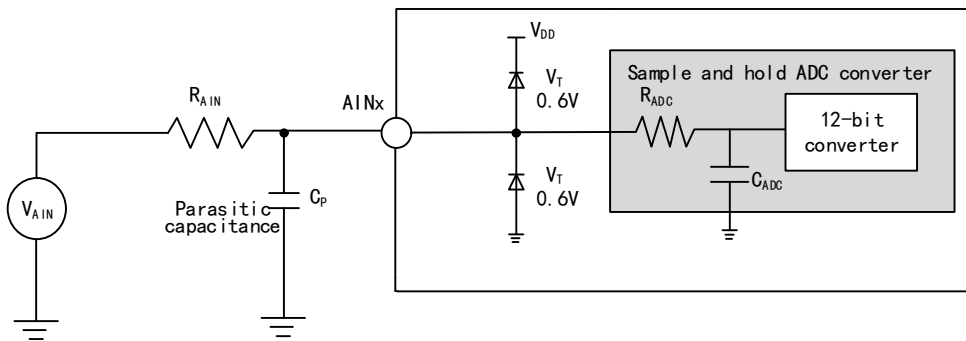
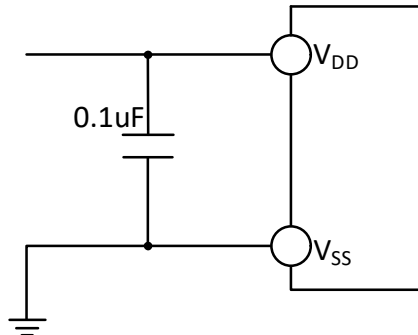


图 3-11 模拟电源及退耦电路参考



## 第 4 章 封装及订货信息

### 芯片封装

封装形式	塑体尺寸	引脚节距		封装说明	订货型号
TSSOP20	4.4*6.5mm	0.65mm	25.6mil	薄小型的 20 脚贴片	CH32V004F6P1
QFN20	3*3mm	0.4mm	15.7mil	四边无引线 20 脚	CH32V004F6U1

说明：尺寸标注的单位是 mm（毫米），引脚中心间距总是标称值，没有误差，除此之外的尺寸误差不大于±0.2mm 或者±10%两者中的较大值。

图 4-1 TSSOP20 封装

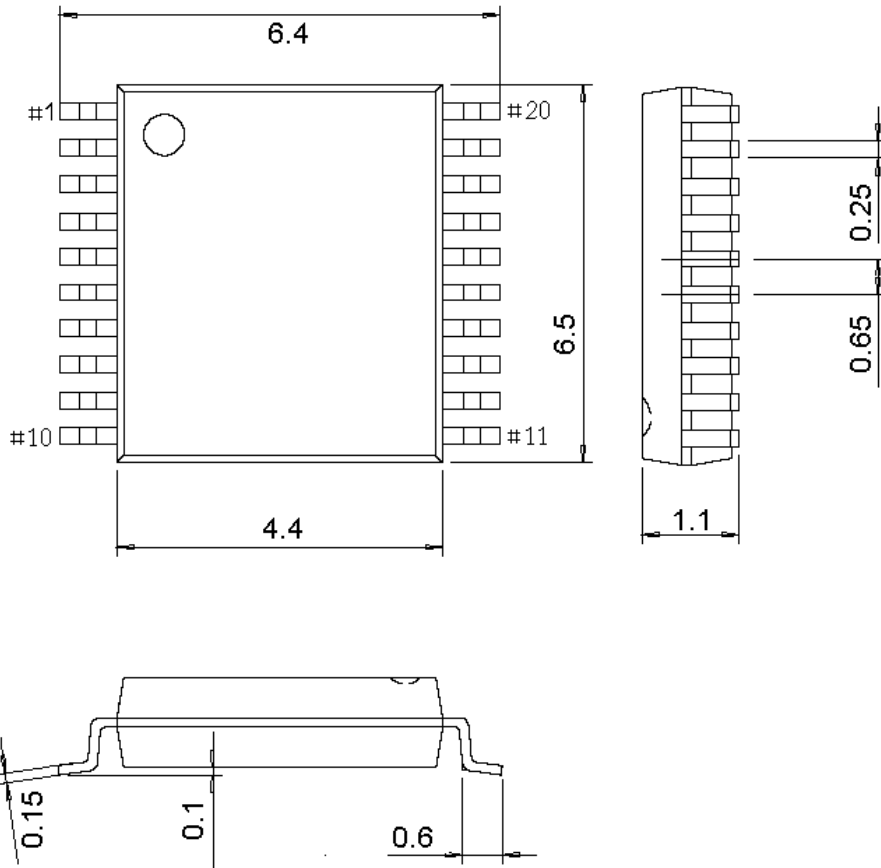
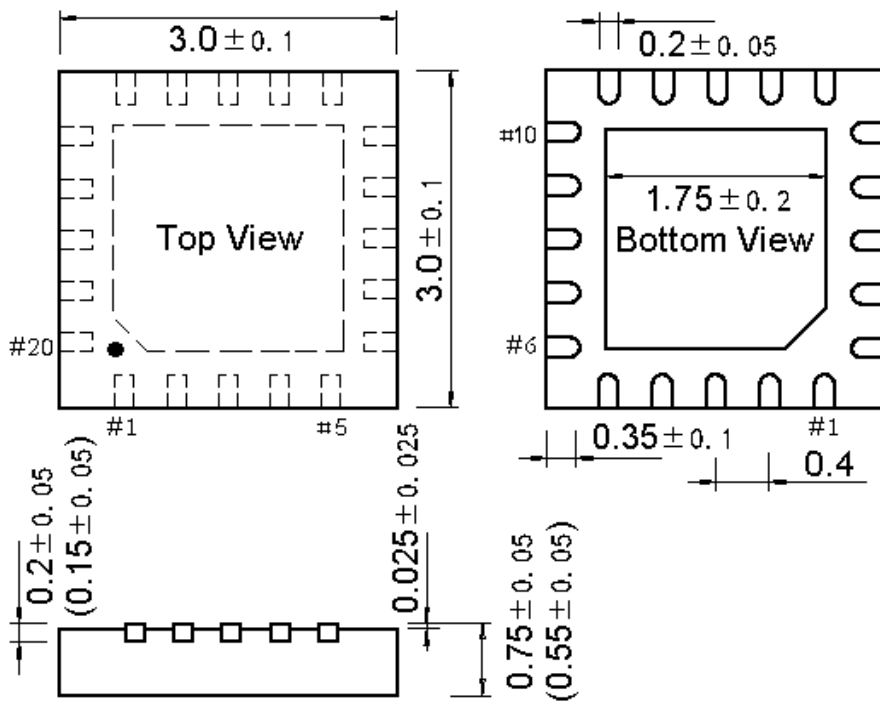


图 4-2 QFN20 封装



## 系列产品命名规则

举例： CH32 V 303 R 8 T 6  
 产品系列

- F = ARM 内核，通用 MCU
- V = 青稞 RISC-V 内核，通用 MCU
- L = 青稞 RISC-V 内核，低功耗 MCU
- X = 青稞 RISC-V 内核，专用或特殊外设 MCU
- M = 青稞 RISC-V 内核，内置预驱的电机 MCU

产品类型 (\*) + 产品子系列 (\*\*)

产品类型	产品子系列
0 = 青稞 V2/V4 内核， 超值版，主频≤48M	02 = 16K 闪存超值通用型 03 = 16K 闪存基础通用型，OPA 04 = 32K 闪存超值通用型 05 = 32K 闪存增强通用型，OPA、双串口 06 = 64K 闪存多能通用型，OPA、双串口、TKey 07 = 基础电机应用型，OPA+CMP 35 = 连接型，USB、USB PD/Type-C 33 = 连接型，USB
1 = M3/青稞 V3/V4 内核， 基本版，主频≤96M	03 = 连接型，USB 05 = 连接型，USB HS、SDIO、CAN
2 = M3/青稞 V4 非浮点内核， 增强版，主频≤144M	07 = 互联型，USB HS、CAN、以太网、SDIO、FSMC 08 = 无线型，BLE5.x、CAN、USB、以太网
3 = 青稞 V4F 浮点内核， 增强版，主频≤144M	17 = 互联型，USB HS、CAN、以太网（内置 PHY）、 SDIO、FSMC

### 引脚数目

J = 8 脚      D = 12 脚      A = 16 脚      F = 20 脚      E = 24 脚  
 G = 28 脚      K = 32 脚      T = 36 脚      C = 48 脚      R = 64 脚  
 W = 68 脚      V = 100 脚      Z = 144 脚

### 闪存存储容量

4 = 16K 闪存存储器      6 = 32K 闪存存储器      7 = 48K 闪存存储器  
 8 = 64K 闪存存储器      B = 128K 闪存存储器      C = 256K 闪存存储器

### 封装

T = LQFP      U = QFN      R = QSOP      P = TSSOP      M = SOP

### 温度范围

1 = 0°C~70°C（商业级）      6 = -40°C~85°C（工业级）      7 = -40°C~105°C（汽车 2 级）  
 3 = -40°C~125°C（汽车 1 级）      D = -40°C~150°C（汽车 0 级）