

Type-C/PD 高压接口芯片 CH211

手册

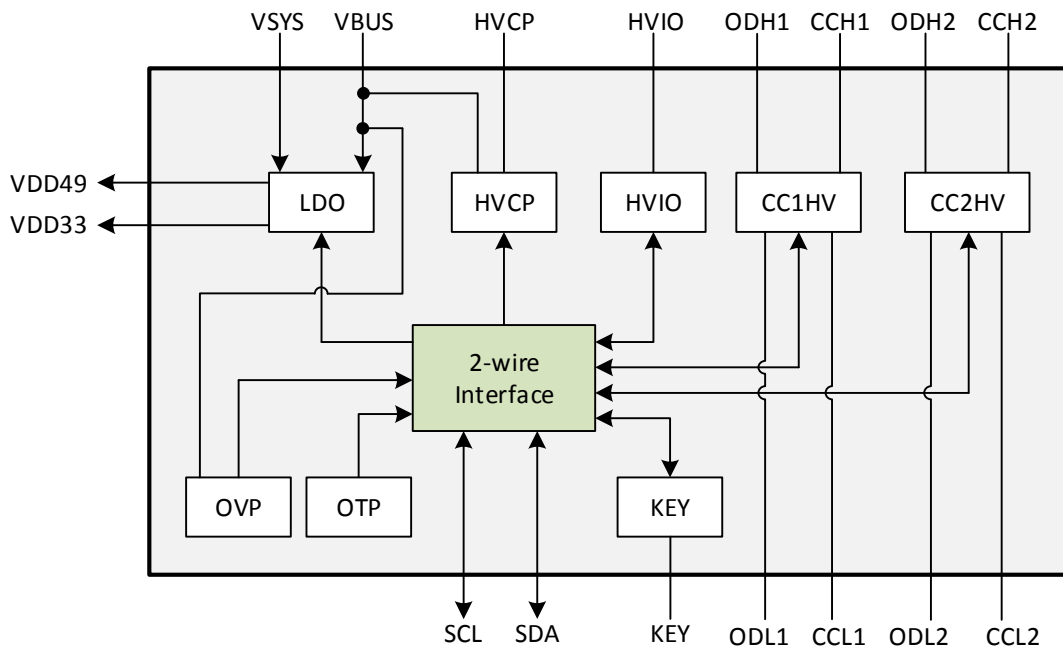
版本: V1.2

http://wch.cn

1、概述

CH211 是内置了高压开关和升压模块的 Type-C/PD 高压接口芯片。芯片内置了 4 通道高压开关，用于 MCU 的 PD 信号对接高压 Type-C 接口；内置了升压电路，支持外部 N 型 MOSFET 功率管控制；内置了两路 LDO 稳压器，支持双路高压电源输入；内部集成了 VBUS 上电和掉电监测、过压监测、过温监测等模块；单引脚支持按键检测和唤醒；提供 2 线控制接口及中断；可用于 MCU 管理 Type-C 接口电源和 USB PD 信号高压扩展等。

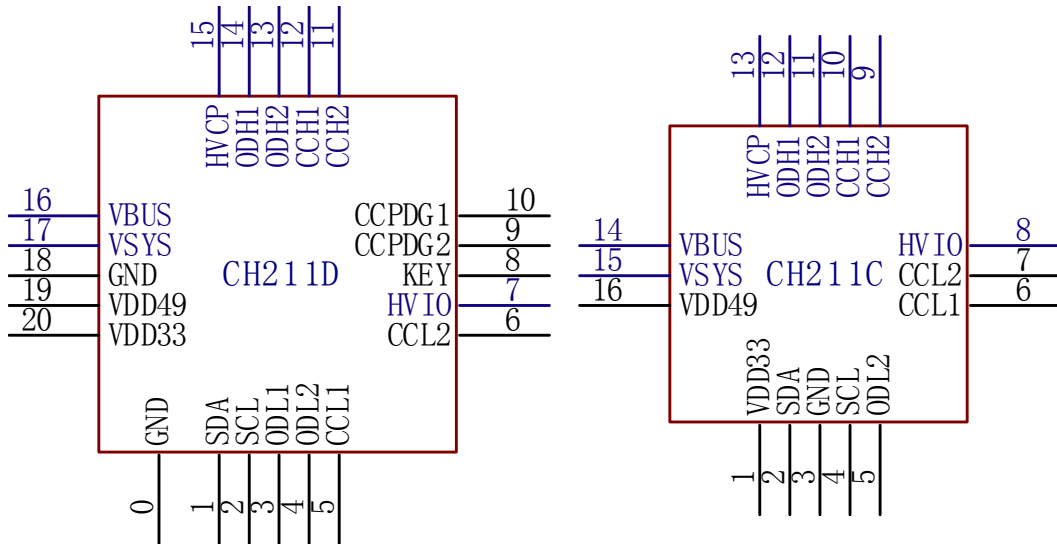
下面为 CH211 的内部框图，仅供参考。



2、特点

- 两对 PD 信号高压开关，兼做 Type-C 接口 CC 高压信号二选一。
- 内置升压模块 HVCP，支持外部 N 型 MOSFET 功率管栅极控制。
- 内置两路高压 LDO，支持两路电源输入及自动切换。
- 单引脚支持电源开关按键检测和唤醒及 P 型 MOSFET 控制，一键开关。
- 兼容 1²C 的 2 线串行控制接口，支持 5V、3.3V、2.5V 控制信号。
- 特殊设计的 SCL 引脚可以复用于中断请求输出，节省 MCU 引脚。
- VBUS 支持电源放电和上电及掉电监测，支持过压监测 OVP。
- 内置芯片过温监测模块 OTP。
- 内置 LDO 低压差稳压器，输出 4.9V 和 3.3V 用于 MCU 简单供电。
- 支持 28V 电源电压，Type-C 接口信号支持 30V 耐压。
- Type-C 接口信号的 ESD 支持 6KV HBM。
- 提供 QFN20、QFN16C2 等封装形式。

3、引脚排列



| 封装形式 | 塑体尺寸 | | 引脚节距 | | 封装说明 | 订货型号 |
|------------|-------|--|-------|---------|----------------|--------|
| QFN20_3x3 | 3*3mm | | 0.4mm | 15.7mil | 四边无引线 20 脚 | CH211D |
| QFN16C_2x2 | 2*2mm | | 0.4mm | 15.7mil | WCH 四边无引线 16 脚 | CH211C |

注：0#引脚是指 QFN 封装的底板。

蓝色引脚为支持高电压的引脚。

CH211C 体积小，印字为 211C 及第二行的批号代码。

4、引脚定义

| 引脚号 | | 引脚名称 | 类型 | 引脚说明 |
|------|------|-------|---------|------------------------------------------------------------------------|
| 211D | 211C | | | |
| 17 | 15 | VSYS | 高压电源 | 系统高压电源输入，通常是常备电源 |
| 16 | 14 | VBUS | 高压电源 | Type-C 接口 VBUS 高压电源输入，支持放电和监测 |
| 19 | 16 | VDD49 | 低压电源 | 内部 4.9V 稳压器 LDO 输出，外接 1uF 退耦电容 |
| 20 | 1 | VDD33 | 低压电源 | 内部 3.3V 可调稳压器 LDO 输出，用时需外接退耦电容 |
| 18,0 | 3 | GND | 电源 | 公共接地端 |
| 2 | 4 | SCL | 输入及开漏输出 | 2 线串行接口的时钟输入，可配置为中断请求的开漏输出 |
| 1 | 2 | SDA | 输入及开漏输出 | 2 线串行接口的数据输入和输出，内置可控的上拉电阻 |
| 5 | 6 | CCL1 | 低压双向 | PD 信号开关 1#的 CC1 低压侧端口，通常接 MCU 的 CC 引脚 |
| 12 | 10 | CCH1 | 高压开漏 | PD 信号开关 1#的 CC1 高压侧端口，默认断开，内置 Rd 下拉电阻，支持输出 VCONN 供电，通常接 Type-C 的 CC 引脚 |
| 3 | - | ODL1 | 低压双向 | PD 信号开关 1#的 OD1 低压侧直通端口，连接 ODH1 |
| 14 | 12 | ODH1 | 高压开漏 | PD 信号开关 1#的 OD1 高压侧端口，默认连通 ODL1，可选增加 CCL1 连接 |
| 6 | 7 | CCL2 | 低压双向 | PD 信号开关 2#的 CC2 低压侧端口，通常接 MCU 的 CC 引脚 |
| 11 | 9 | CCH2 | 高压开漏 | PD 信号开关 2#的 CC2 高压侧端口，默认断开，内置 Rd 下拉电阻，支持输出 VCONN 供电，通常接 Type-C 的 CC 引脚 |

| | | | | |
|----|---------|--------|------|-----------------------------------------------------------------------|
| 4 | 5 | ODL2 | 低压双向 | PD 信号开关 2#的 OD2 低压侧直通端口, 连接 ODH2 |
| 13 | 11 | ODH2 | 高压开漏 | PD 信号开关 2#的 OD2 高压侧端口, 默认连通 ODL2, 可选增加 CCL2 连接 |
| 15 | 13 | HVCP | 高压输出 | 升压模块的高压输出, 可输出低电平、VBUS 电平、VBUS 升压 |
| 7 | 8 | HVIO | 高压双向 | 高压输出及输入, 内置弱上拉电阻和可控上拉电阻, 单引脚支持按键检测和唤醒及 P 型 MOSFET 控制 |
| 8 | - | KEY | 低压双向 | 低压输出及输入, 内置上拉电阻, 单引脚支持按键检测和唤醒及 P 型 MOSFET 控制 |
| 10 | 内部接 GND | CCPDG1 | 辅助电源 | CCH1 引脚内置可控 Rd 下拉电阻的低压端, 独立浮空则禁用内置的 Rd 下拉电阻, 接 GND 则上电时默认开启下拉, 支持软件关闭 |
| 9 | 内部接 GND | CCPDG2 | 辅助电源 | CCH2 引脚内置可控 Rd 下拉电阻的低压端, 独立浮空则禁用内置的 Rd 下拉电阻, 接 GND 则上电时默认开启下拉, 支持软件关闭 |

注: CCPDG1、CCPDG2 引脚主要用于对内连接, ESD 特性较差。

CH211C 在内部已将 CCPDG1 和 CCPDG2 短接到 GND。

低压是指参考 VDD49 电源电压, 支持 5V、3.3V、2.5V 信号电平。

VSYS、VBUS、CCH1、CCH2 额定 5V~28V。

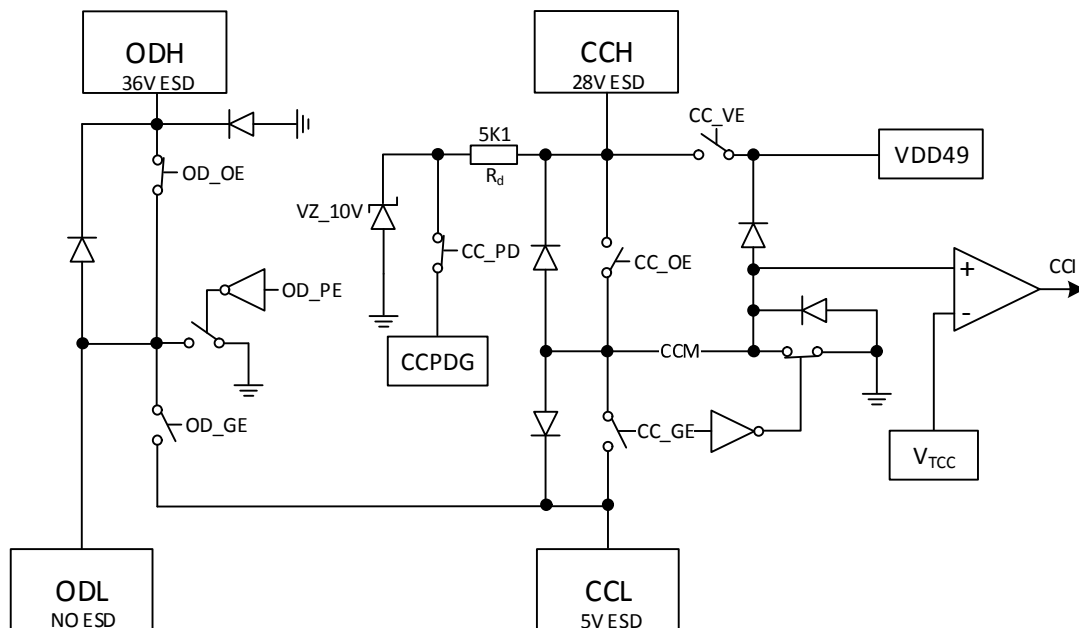
HVCP、ODH1、ODH2、HVIO 额定 5V~36V。

5、功能模块

5.1. PD 信号开关

PD 信号高压开关包含 CC 通道和 OD 通道, 用于隔离 Type-C 接口的高压, 在保持 PD 信号传输的同时, 避免 MCU 的 CC 引脚直接承受意外的高压。CH211 内置两对 PD 信号高压开关, 支持最多 4 个 CC 信号。

PD 信号高压开关的结构参考下图。



CCH 引脚有 2 种应用：一是作为 CCL 的高压通道，二是独立用于开漏输出。CCL 通常连接 MCU 的 CC 引脚的低压 PD 信号，CCH 通常连接 Type-C 接口的高压 PD 信号，CCM 为中间节点。默认 CC_OE=0，CCH 断开 CCM 及 CCL。默认 CC_GE=0，CCL 断开 CCM，CCM 接 GND。当 CC_OE=1 且 CC_GE=0 时，CCH 开漏输出低。当 CC_OE=1 且 CC_GE=1 时，CCH 与 CCL 及 CCM 连通，CCM 与高阈值参考电压 V_{TCC} 比较后输出 CCI。默认 CC_VE=0，如果 CC_VE=1，则 VDD49 输出到 CCH 作为 VCONN 电源。默认 CC_PD=1，如果 CCPDG 接 GND，则 CCH 连通 5.1K 的 R_d 下拉电阻。注意 CCM 与 CCH 之间、CCM 与 CCL 之间都有二极管，如果 CC_GE=1 且 CC_OE=0，理论上 CCH 断开，但上述二极管仍然会将 CCL 的高电平信号传输到 CCH。

注意 5.1K 的 R_d 下拉电阻对 GND 之间存在约 10V 的稳压管，当 CCH 电压较高时会导通。

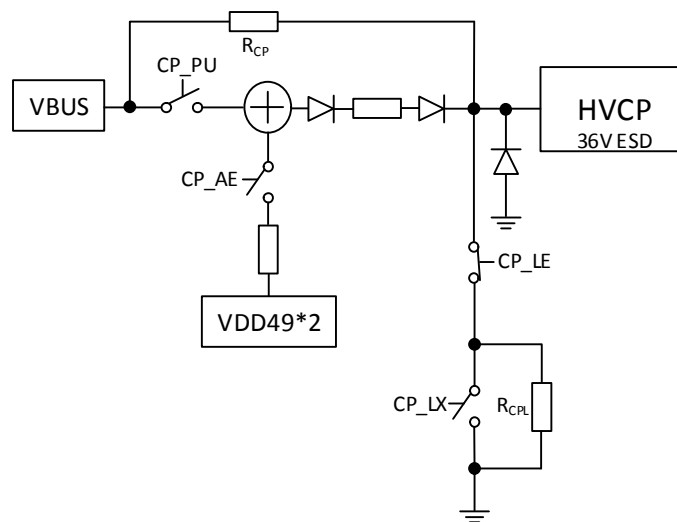
ODH 引脚有 3 种应用：一是作为 CCL 的另一个高压通道，二是作为 ODL 的高压通道，三是独立用于开漏输出。默认 OD_PE=1，默认 OD_OE=1，ODH 与 ODL 连通。默认 OD_GE=0，ODL 与 CCL 断开。当 OD_OE=1 且 OD_GE=0 且 OD_PE=1 时，ODH 与 ODL 连通，ODL 可以连接 MCU 的 CC 引脚。当 ODL 悬空、OD_OE=1 且 OD_GE=1 且 OD_PE=1 时，ODH 与 CCL 连通，ODH 作为 CCL 的另一个高压通道。当 ODL 悬空、OD_OE=1 且 OD_GE=0 且 OD_PE=0 时，ODH 开漏输出低。

PD 信号开关的内阻不大，作为开漏输出时应避免过流，必要时可以外部串联电阻限制电流。

5.2. 升压模块

升压模块以 VBUS 为基础产生更高电压，提升电压值 V_{CP} 约为两倍 VDD49 减去 2.3V，用于控制外部 N 型 MOSFET 功率管的栅极。

升压模块的结构参考下图。



HVCP 引脚有 2 种应用：一是单管控制，二是 3 管控制。单管控制是指 HVCP 直接控制外部 N 管的栅极，可以输出低电平（关闭 N 管）、上拉到 VBUS 电平、基于 VBUS 升压（开启 N 管）。3 管控制是指 HVCP 外接约 100nF 电容后提供简单的升压电源，由 3 个兆欧级上拉电阻分别连接到三个 N 管的栅极，同时分别连接 ODH1、ODH2、HV10 三个高压引脚，以开漏驱动方式实现三个 N 管的开关控制。

R_{CP} 为内置的放电电阻， R_{CPL} 为内置的下拉电阻，HVCP 引脚无需外部下拉电阻。

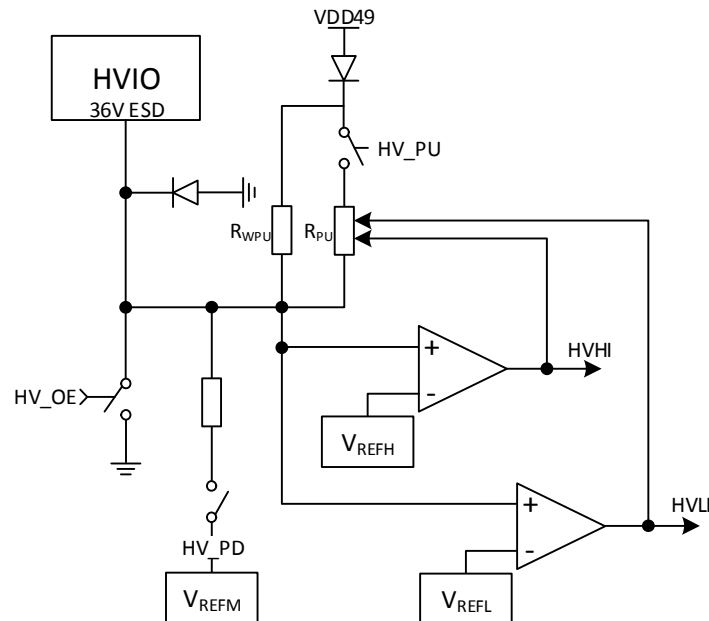
默认 CP_PU=0，CP_AE=0，CP_LX=0，CP_LE=1，HVCP 由 R_{CP} 和 R_{CPL} 分压输出弱下拉的低电平，当 VBUS 默认 5V 供电时 HVCP 不超过 0.2V，外部 N 管关闭。MCU 上电后，可以设置 CP_LX=1，使 HVCP 输出强下拉的低电平，之后 MCU 如果申请 USB PD 高压供电，HVCP 也能维持较低电压以关闭外部 N 管。当 CP_PU=1 且 CP_AE=0 且 CP_LE=0 时，开启 VBUS 上拉，HVCP 输出接近 VBUS 电压，此电压经过电阻和两个二极管串联衰减。当 CP_PU=0 且 CP_AE=1 且 CP_LE=0 时（实际不支持此组合），开启升压，HVCP 输出净提升电压 V_{CP} 。当 CP_PU=1 且 CP_AE=1 且 CP_LE=0 时，开启 VBUS 升压，HVCP 输出电压为 VBUS 加上净提升电压 V_{CP} 。

HVCP 带载能力较差，负载电流越大时 V_{CP} 电压值越小。建议优选开启电压 V_{th} 较低的 N 管。

5.3. 高压 I/O

HVIO 是支持高压开漏输出和输入的高压通用 I/O，也可作为中断输出，内置弱上拉电阻 R_{WPU} 和可控的上拉电阻 R_{PU} ，支持电源开关按键检测和唤醒及 P 型 MOSFET 控制。

HVIO 的结构参考下图。



默认 $HV_OE=0$ ，HVIO 开漏输出禁止。默认 $HV_PU=0$ ，默认 $HV_PD=0$ ，仅提供弱上拉电阻 R_{WPU} 。当 $HV_PD=1$ 时，HVIO 输出 V_{REFM} 弱低电平，支持外部 P 型 MOSFET 栅极控制，同时支持按键检测。HVHI 和 HVLI 是高、低两种阈值下输入采样，根据其结果微调上拉电阻值，当 $HV_PU=1$ 时提供 R_{PU} 上拉。

用于 HVIO 单引脚一键开关时，启用内部 R_{PU} 上拉电阻或外接上拉电阻到更高电压，电源开关按键连接在 HVIO 与 GND 之间，HVIO 同时用于驱动外部 P 型 MOSFET 的栅极，该 P 管的源极接电源，漏极向目标输出电源。关闭 P 管需要高电平，HVIO 已内置 VDD49 电压的上拉电阻，可直接驱动 P 管控制 5V 或更低电压的电源。如果用于控制高于 5V 的高电压电源，HVIO 需要外接几十 K Ω 到几百 K Ω 的上拉电阻到高电压电源，上拉电流不能超过 I_{PDK} 。例如，高电压电源为 20V，连接 P 管的源极，HVIO 连接 P 管的栅极，并通过 100K Ω 上拉电阻连接高电压电源。

下表为单引脚一键开关的几种工作状态。

| 工作状态 | HV_OE | HV_PU | HV_PD | HVLI | HVHI | HVIO 引脚 | 说明 |
|-----------|-------|-------|-------|------|------|---------|----------------------------------------|
| 上电时默认开机 | 0 | 0 | 0 | 0 | 0 | 充电期间低 | HVIO 对 GND 接电容 |
| 上电时默认关机 | 0 | 0 | 0 | 1 | 1 | 上拉到高 | 可选：HVIO 对电源接上拉电容或电阻 |
| 维持开机、待机 | 0 | 1 | 1 | 1 | 0 | 弱低电平 | MCU 设置 $HV_PD=1$ 输出 V_{REFM} 开启 P 管 |
| 按键按下接 GND | 0 | 1 | 1 | 0 | 0 | 低电平 | 查询 HVLI 或中断 |
| MCU 主动关机 | 0 | 1 | 0 | 1 | 1 | 上拉到高 | |

当 HVIO 有外部上拉电阻时， HV_PU 可以无需置 1。

HVIO 对 GND 的电容值取决于 MCU 启动时间，兼用于按键去抖动。HVIO 内部弱上拉电阻 R_{WPU} 和可选的外部上拉电阻与该电容构成 RC 充电电路，充电期间保持 P 管开启，直到 MCU 启动完成后接管，置 $HV_PD=1$ 维持 P 管开启。如果电容值太小，会造成 MCU 来不及接管就充电完成并断了 MCU 电源。

CH211 的 VDD33 是可关闭的，对于 MCU 由 VDD33 供电的应用，可以无需外部 P 型 MOSFET 就能实现一键开关，由 KEY 或 HVIO 连接按键。

关机状态是指 MCU 在 VDD33 开启状态下睡眠，或 $LD033_OFF=1$ 且 $LD033_WAKE=1$ 关闭 VDD33 电源， $HV_PD=0$ 。当按键按下时，HVIO 低电平，触发中断恢复 VDD33 供电并唤醒 MCU。

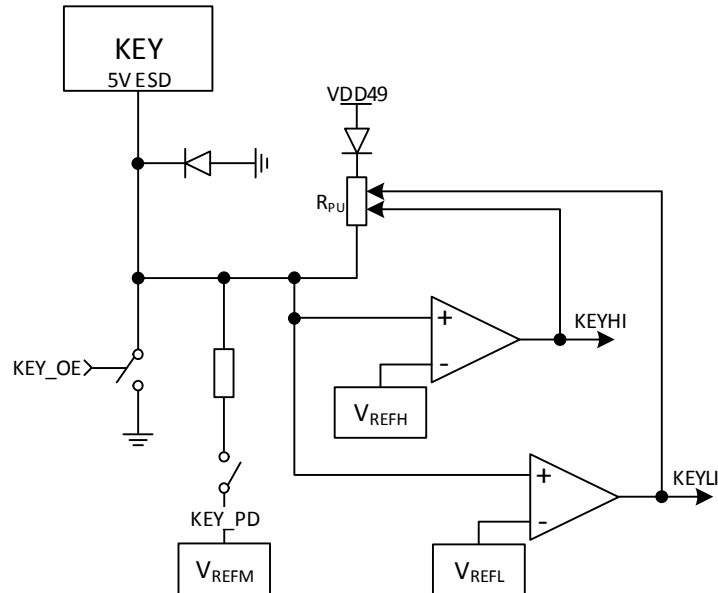
唤醒后的 MCU 进入工作状态，设置 $HV_PD=1$ ，HVIO 输出 V_{REFM} 弱低电平，用于驱动外部 P 型 MOSFET

保持主电源开启，同时继续监控 HV10 引脚上的按键。当按键按下时，触发 MCU 中断，设置 HV_PD=0；当按键释放后，HV10 恢复高电平，关闭外部 P 型 MOSFET 或 MCU 设置 LD033_OFF=1。

5.4. 低压 I/O

KEY 是支持开漏输出和输入的低压通用 I/O，也可作为中断输出，内置上拉电阻 R_{PU} ，支持电源开关按键检测和唤醒及低压 P 型 MOSFET 控制。

KEY 的结构参考下图。



默认 KEY_OE=0，KEY 开漏输出禁止。默认 KEY_PD=0，仅提供上拉。当 KEY_PD=1 时，KEY 输出 V_{REFM} 弱低电平，支持不超过 VDD49 电压的外部 P 型 MOSFET 栅极控制，同时支持按键检测。KEYHI 和 KEYLI 是高、低两种阈值下输入采样，根据其结果微调上拉电阻值。

KEY 用于单引脚一键开关时，相当于 HV10 的低电压版，参考 HV10。区别在于：KEY 不支持高压，只能驱动 P 管控制 5V 或更低电压的电源，KEY 通常无需外部上拉电阻。

5.5. 电源系统

CH211 内置 3 个 LDO 稳压器，其中两路为高压 LDO，支持两路电源输入及自动切换，另一路低压 LDO 输出可调 3.3V 用于 MCU 简单供电。

VSYS 为系统高压电源输入，通常是常备电源，自身功耗较小，输出 VDD49 电源，带载能力稍弱。

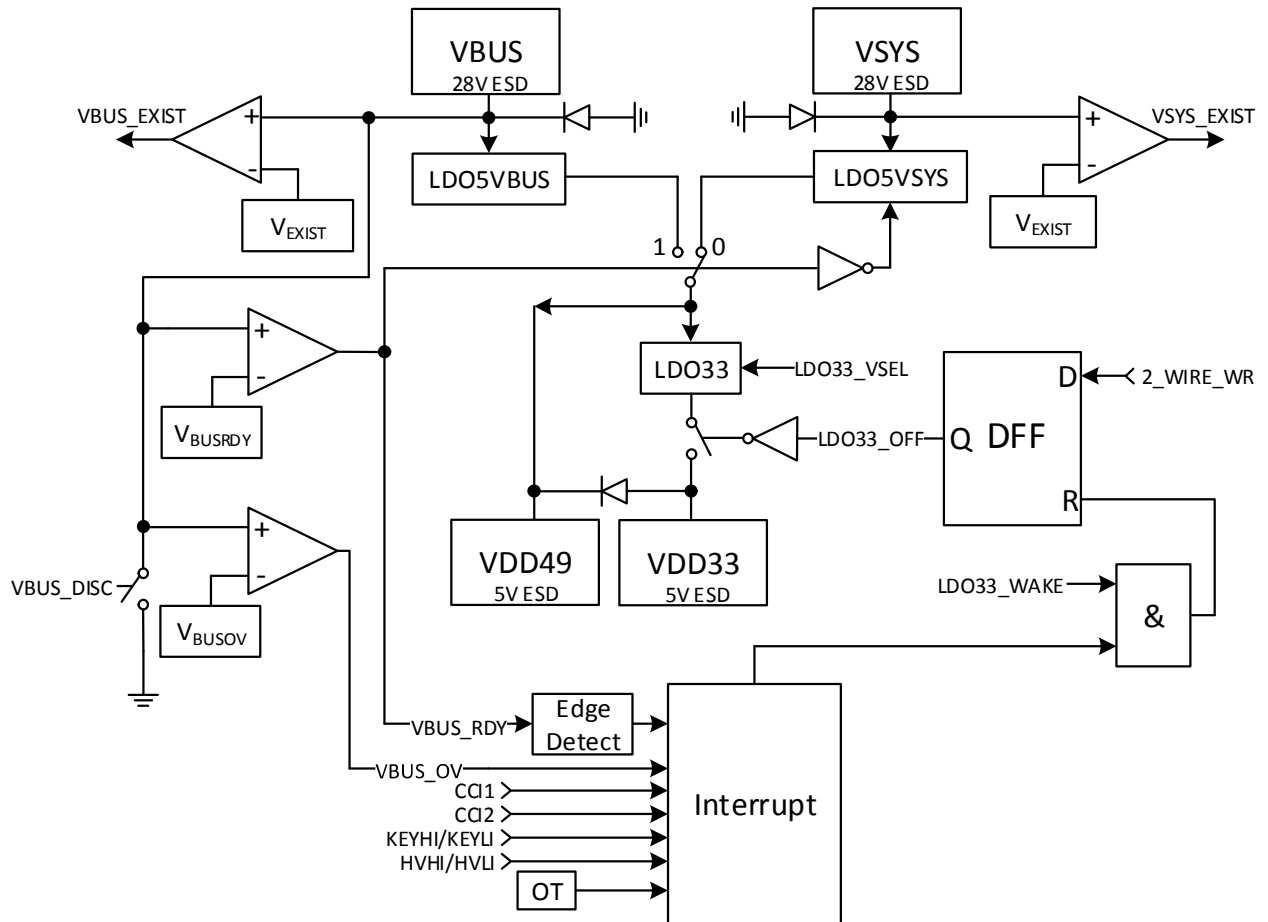
VBUS 为外部高压电源输入，通常是 Type-C 接口 VBUS 高压电源输入，支持 VBUS 放电和监测，包括 VBUS 上电和掉电监测、过压监测等。检测到 VBUS 电压高于 V_{BUSRDY} 即 VBUS 电源就绪后，内部自动将 VDD49 切换为 VBUS 供电，不从 VSYS 消耗电流；当 VBUS 掉电后，再自动切换回 VSYS 供电，VBUS 上电或者掉电都会触发中断。

VSYS 和 VBUS 支持额定 5V、9V、12V、20V、28V 等电源电压，需要外置不低于 0.1 μ F 的退耦电容。VDD49 需要贴近 VDD49 和 GND 引脚放置 0.33 μ F~3.3 μ F 范围内的退耦电容，额定输出电压 4.9V，但当 VSYS 或 VBUS 输入低于 5.1V 时，VDD49 输出可能将不足 4.9V。

VDD33 由内置低压 LDO 从 VDD49 产生，默认 3.3V，以 0.3V 为步距，支持 2.4V 到 4.5V 多个档位。用于为 MCU 提供不超过 20mA 的简单 3.3V 供电，根据需要外接 0.1 μ F~3.3 μ F 范围内的退耦电容，不对 MCU 等外设供电时无需外接电容。

默认 LD033_OFF=0，低压 LDO 和 VDD33 输出开启。当 LD033_OFF=1 时，VDD33 输出关闭。默认 LD033_WAKE=0，如果 LD033_WAKE=1 且 LD033_OFF=1，则 VDD33 处于输出关闭状态，但可以被任一中断唤醒并开启 VDD33，包括 KEY 或 HV10 所连接的电源开关按键或者 VBUS 上电或掉电等事件。

电源系统的结构参考下图。



5.6. 控制和状态寄存器

CH211 内部有 8 个寄存器，用于功能和引脚控制及状态返回，MCU 通过 2 线接口实现读写。

下表中的寄存器属性使用两种缩写：R0 表示只读，RW 表示可读可写。寄存器列表如下：

| 名称 | 地址 | 描述 | 复位值 |
|-----------|----|------------------|-----|
| PIN_STAT | 0 | 引脚状态寄存器 | 0Fh |
| PIN_CFG | 1 | 引脚配置寄存器 | 00h |
| CC_CTRL | 2 | CC 通道控制寄存器 | 44h |
| OD_CTRL | 3 | OD 通道控制寄存器 | AAh |
| HVCP_CTRL | 4 | HVCP 控制寄存器 | 02h |
| HVIO_KEY | 5 | HVIO 和 KEY 控制寄存器 | 00h |
| SYS_CFG | 6 | 系统配置寄存器 | 08h |
| SYS_STAT | 7 | 系统状态寄存器 | 01h |

引脚状态寄存器 (PIN_STAT)：

| 位 | 名称 | 属性 | 描述 | 复位值 |
|---|----------|----|-------------------------------------|-----|
| 7 | CC12 | R0 | PD 信号开关 2#的 CCM2 节点电平状态，CC2 高阈值电平状态 | 0 |
| 6 | CC11 | R0 | PD 信号开关 1#的 CCM1 节点电平状态，CC1 高阈值电平状态 | 0 |
| 5 | VBUS_OV | R0 | VBUS 电源过压状态，VBUS 电压高于 V_{BUSOV} | 0 |
| 4 | VBUS_RDY | R0 | VBUS 电源就绪状态，VBUS 电压高于 V_{BUSRDY} | 0 |

| | | | | |
|---|-------|----|------------------------------------|---|
| 3 | HVHI | RO | HV10 引脚的高阈值电平状态, 引脚电压高于 V_{REFH} | 1 |
| 2 | HVLI | RO | HV10 引脚的低阈值电平状态, 引脚电压高于 V_{REFL} | 1 |
| 1 | KEYHI | RO | KEY 引脚的高阈值电平状态, 引脚电压高于 V_{REFH} | 1 |
| 0 | KEYLI | RO | KEY 引脚的低阈值电平状态, 引脚电压高于 V_{REFL} | 1 |

引脚配置寄存器 (PIN_CFG):

| 位 | 名称 | 访问 | 描述 | 复位值 |
|---|--------------|----|---------------------------------------------------------------------------------------------------------------------------------------------|-----|
| 7 | CC2_IE | RW | CC2 低电平中断使能, 为 0 禁止 CC2 触发中断, 为 1 且 CC2_GE=1 且 CC12=0 时产生中断 | 0 |
| 6 | CC1_IE | RW | CC1 低电平中断使能, 为 0 禁止 CC1 触发中断, 为 1 且 CC1_GE=1 且 CC11=0 时产生中断 | 0 |
| 5 | HV10_IE | RW | HV10 引脚低电平中断使能, 为 0 禁止 HV10 触发中断, 为 1 且 HVLI=0 且 HVHI=0 时产生中断 | 0 |
| 4 | KEY_IE | RW | KEY 引脚低电平中断使能, 为 0 禁止 KEY 触发中断, 为 1 且 KEYLI=0 且 KEYHI=0 时产生中断 | 0 |
| 3 | VBUS_DOWN_IE | RW | VBUS 掉电事件中断使能, 为 0 禁止 VBUS 掉电触发中断, 为 1 且 VBUS_RDY=0 且 VBUS_LAST=1 时产生中断。 VBUS 上电事件中断总是使能的, 在 VBUS_RDY=1 且 VBUS_LAST=0 时产生中断 | 0 |
| 2 | SDA_PU | RW | SDA 引脚内部上拉电阻使能, 为 0 禁止内部上拉, 为 1 开启内部上拉, 适用于 MCU 引脚内部上拉较弱的情况。如果 LD033_WAKE=1 且 LD033_OFF=1 则会禁止上拉 | 0 |
| 1 | INT_PIN | RW | 中断输出引脚选择: 00 关闭中断请求输出; 01 通过 SCL 引脚弱驱动低电平输出中断请求, 节省引脚; 10 通过 HV10 引脚驱动低电平输出中断请求; 11 通过 KEY 引脚驱动低电平输出中断请求。 除非中断原因消除, 否则持续请求中断 | 0 |
| 0 | | RW | | 0 |

CC 通道控制寄存器 (CC_CTRL):

| 位 | 名称 | 访问 | 描述 | 复位值 |
|---|---------|----|--------------------------------------------------------------------------------|-----|
| 7 | CC2_VCE | RW | CCH2 的 VCONN 电源输出使能, 为 0 禁止 CCH2 电源输出, 为 1 则将 VDD49 输出到 CCH2 引脚 | 0 |
| 6 | CC2_PD | RW | CCH2 的 Rd 下拉电阻使能, 为 0 禁止 CCH2 下拉电阻, 为 1 且 CCPDG2=GND 时开启 CCH2 下拉电阻 Rd | 1 |
| 5 | CC2_OE | RW | CCH2 引脚连通使能, 为 0 禁止 CCH2 连通, 为 1 则连通 CCH2 到中间节点 CCM2 | 0 |
| 4 | CC2_GE | RW | CCL2 引脚与中间节点 CCM2 连通使能, 为 0 则 CCM2 短接 GND 并断开 CCL2, 为 1 则 CCM2 断开 GND 并连通 CCL2 | 0 |
| 3 | CC1_VCE | RW | CCH1 的 VCONN 电源输出使能, 为 0 禁止 CCH1 电源输出, 为 1 则将 VDD49 输出到 CCH1 引脚 | 0 |
| 2 | CC1_PD | RW | CCH1 的 Rd 下拉电阻使能, 为 0 禁止 CCH1 下拉电阻, 为 1 且 CCPDG1=GND 时开启 CCH1 下拉电阻 Rd | 1 |
| 1 | CC1_OE | RW | CCH1 引脚连通使能, 为 0 禁止 CCH1 连通, 为 1 则连通 CCH1 到中间节点 CCM1 | 0 |
| 0 | CC1_GE | RW | CCL1 引脚与中间节点 CCM1 连通使能, 为 0 则 CCM1 短接 GND 并断开 CCL1, 为 1 则 CCM1 断开 GND 并连通 CCL1 | 0 |

OD 通道控制寄存器 (OD_CTRL):

| 位 | 名称 | 访问 | 描述 | 复位值 |
|---|--------|----|------------------------------------------------------------|-----|
| 7 | OD2_OE | RW | ODH2 引脚连通使能, 为 0 禁止 ODH2 连通, 为 1 则连通 ODH2 到 ODL2 | 1 |
| 6 | OD2_GE | RW | ODL2 引脚与 CCL2 连通使能, 为 0 则 ODL2 断开 CCL2, 为 1 则 ODL2 连通 CCL2 | 0 |
| 5 | OD2_PE | RW | ODL2 断开 GND 使能, 为 0 则 ODL2 短接 GND, 为 1 则 ODL2 断开 GND | 1 |
| 4 | | RO | 保留位 | 0 |
| 3 | OD1_OE | RW | ODH1 引脚连通使能, 为 0 禁止 ODH1 连通, 为 1 则连通 ODH1 到 ODL1 | 1 |
| 2 | OD1_GE | RW | ODL1 引脚与 CCL1 连通使能, 为 0 则 ODL1 断开 CCL1, 为 1 则 ODL1 连通 CCL1 | 0 |
| 1 | OD1_PE | RW | ODL1 断开 GND 使能, 为 0 则 ODL1 短接 GND, 为 1 则 ODL1 断开 GND | 1 |
| 0 | | RO | 保留位 | 0 |

HVCP 控制寄存器 (HVCP_CTRL):

| 位 | 名称 | 访问 | 描述 | 复位值 |
|---|-----------|----|---------------------------------------------------------------------|-----|
| 7 | VBUS_DISC | RW | VBUS 放电使能, 为 0 关闭 VBUS 放电, 为 1 则开启 VBUS 放电, 建议不要长时间持续放电 | 0 |
| 6 | | RO | 保留位 | 0 |
| 5 | | RO | 保留位 | 0 |
| 4 | CP_AUTO | RW | HVCP 自动升压使能, 为 0 关闭自动升压, 为 1 则开启自动升压, CP_LE 应该设置为 0 | 0 |
| 3 | CP_AE | RW | HVCP 手动升压控制, 为 0 则完成升压并空闲, 为 1 则预备升压 | 0 |
| 2 | CP_PU | RW | HVCP 引脚手动上拉输出, 为 0 关闭 HVCP 引脚的上拉, 为 1 则开启 VBUS 对 HVCP 引脚的上拉, 弱驱动高电平 | 0 |
| 1 | CP_LE | RW | HVCP 引脚手动下拉控制, 为 0 关闭 HVCP 引脚的下拉, 为 1 则开启 HVCP 引脚的下拉或低电平驱动 | 1 |
| 0 | CP_LX | RW | HVCP 下拉强度选择, 为 0 选择弱下拉, 弱驱动低电平, 为 1 选择强下拉, 驱动低电平 | 0 |

HVIO 和 KEY 控制寄存器 (HVIO_KEY):

| 位 | 名称 | 访问 | 描述 | 复位值 |
|---|--------|----|-------------------------------------------------------------------------------------------------------|-----|
| 7 | | RO | 保留位 | 0 |
| 6 | | RO | 保留位 | 0 |
| 5 | KEY_PD | RW | KEY 引脚下拉到 V_{REFM} 使能, 为 0 关闭 KEY 下拉, 为 1 则 KEY 引脚下拉到 V_{REFM} , 处于 V_{REFH} 和 V_{REFL} 之间 | 0 |
| 4 | KEY_OE | RW | KEY 引脚开漏输出使能, 为 0 禁止 KEY 输出低电平, 为 1 则 KEY 输出低电平 | 0 |
| 3 | | RO | 保留位 | 0 |
| 2 | HV_PU | RW | HVIO 引脚上拉使能, 为 0 关闭 HVIO 上拉, 为 1 则 HVIO 引脚上拉到 V_{DD49} (经过电阻和二极管串联) | 0 |
| 1 | HV_PD | RW | HVIO 引脚下拉到 V_{REFM} 使能, 为 0 关闭 HVIO 下拉, 为 1 则 HVIO 引脚下拉到 V_{REFM} , 处于 V_{REFH} 和 V_{REFL} 之间 | 0 |

| | | | | |
|---|-------|----|--------------------------------------------------|---|
| 0 | HV_OE | RW | HV10 引脚开漏输出使能，为 0 禁止 HV10 输出低电平，为 1 则 HV10 输出低电平 | 0 |
|---|-------|----|--------------------------------------------------|---|

系统配置寄存器 (SYS_CFG) :

| 位 | 名称 | 访问 | 描述 | 复位值 |
|---|------------|----|------------------------------------------------------------------------------------------------------------------|-----|
| 7 | LD033_OFF | RW | VDD33 关闭控制，为 0 开启 VDD33 输出，为 1 关闭 VDD33 输出，如果 LD033_WAKE=1 则可以被中断自动清零 | 0 |
| 6 | CC_HVT3V | RW | CC 高阈值参考电压 V_{T0C} 选择，为 0 适用于 VDD49=4.9V，为 1 适用于 VDD49=3.3V | 0 |
| 5 | CPLD_OVOT | RW | 过压过温时自动 HVCP 下拉使能，为 0 不自动下拉，为 1 则在 VBUS 过压或过温期间强制 HVCP 引脚下拉或低电平，等效于 CP_LE 置 1 | 0 |
| 4 | RST_OV | RW | 过压时自动复位使能，为 0 不自动复位，为 1 则在 VBUS 过压时自动复位 CC 通道控制寄存器 CC_CTRL、OD 通道控制寄存器 OD_CTRL、HVCP 控制寄存器 HVCP_CTRL | 0 |
| 3 | LD033_WAKE | RW | VDD33 中断唤醒使能，为 0 不支持中断唤醒，为 1 支持中断唤醒，发生中断时，LD033_OFF 自动清零 | 1 |
| 2 | LDO_VSEL | RW | VDD33 电压选择： 000 选择 3.3V；001 选择 3V；010 选择 2.7V；011 选择 2.4V； 100 选择 3.6V；101 选择 3.9V；110 选择 4.2V；111 选择 4.5V | 0 |
| 1 | | RW | | 0 |
| 0 | | RW | | 0 |

系统状态寄存器 (SYS_STAT) :

| 位 | 名称 | 访问 | 描述 | 复位值 |
|---|------------|----|----------------------------------------------------------------------------|-----|
| 7 | LD033_OFF | RO | VDD33 关闭控制状态，为 0 表示开启，为 1 表示关闭 | 0 |
| 6 | OT_RST | RO | 过温状态，为 0 表示温度未超过 T_{SD} ，为 1 表示过温，并触发中断，同时自动复位 CC_CTRL、OD_CTRL、HVCP_CTRL | 0 |
| 5 | VBUS_OV | RO | VBUS 电源过压状态，VBUS 电压高于 V_{BUSOV} | 0 |
| 4 | VBUS_RDY | RO | VBUS 电源就绪状态，VBUS 电压高于 V_{BUSRDY} | 0 |
| 3 | VBUS_LAST | RO | 记录上一次读取 SYS_STAT 时的 VBUS 电源就绪状态，当读取 SYS_STAT 之后，该位自动更新为当前电源状态 VBUS_RDY | 0 |
| 2 | | RO | 保留位 | 0 |
| 1 | VBUS_EXIST | RO | VBUS 电源存在状态，VBUS 电压高于 V_{EXIST} | 0 |
| 0 | VSYS_EXIST | RO | VSYS 电源存在状态，VSYS 电压高于 V_{EXIST} | 1 |

5.7. 2 线串行接口

CH211 内部有 8 个控制和状态寄存器，提供 2 线串行接口，包含 SCL 和 SDA 引脚，兼容 IIC，用于 MCU 控制。

SDA 用于串行数据输入和开漏输出，准双向信号，需要上拉电阻，默认是高电平。高电平表示位数据 1，低电平表示位数据 0，串行数据输入的顺序是高位在前，低位在后。

SCL 用于提供串行时钟输入，CH211 在其上升沿后的高电平期间从 SDA 输入数据，在其下降沿后的低电平期间从 SDA 输出数据。

在 SCL 为高电平期间发生的 SDA 下降沿定义为串行接口的 START 信号，在 SCL 为高电平期间发生的 SDA 上升沿定义为串行接口的 STOP 信号。在 MCU 的 I/O 引脚资源紧张时，保持 SDA 引脚状态不变的情况下，SCL 引脚也可以与其它接口电路共用。

串行数据帧通常包含 START 位、7 位设备地址和 1 个命令位及 1 个应答位、8 位数据和 1 个应答位及其重复、最终以 STOP 位作为结束。CH211 的设备地址默认为 0x35 或 0x34，该地址需左移一位加上读写命令位后作为 8 位数据传输，0x35 为 2 线接口常规读写操作地址，0x34 为 2 线接口快速读操作地址。CH211 支持 0x35 设备地址写寄存器操作、支持 0x35 设备地址读寄存器操作、支持 0x34 设备地址快速读寄存器操作。

常规写操作的步骤：

MCU（或其它主机）发送 START 信号；

MCU 发送 7 位设备地址 0x35 和写命令位 0，CH211 检查设备地址匹配则返回 1 个应答位 0；

MCU 发送 8 位的寄存器地址（仅 0~7 有效），CH211 记录此起始地址并返回 1 个应答位 0；

MCU 发送 8 位数据，CH211 将该数据写入寄存器，同时地址自动加 1 并返回 1 个应答位 0；

可选的，MCU 可以选择继续向下一个寄存器发送 8 位数据并等待 CH211 写入并应答；

MCU 发送 STOP 信号，结束操作。

常规读操作的步骤：

MCU（或其它主机）发送 START 信号；

MCU 发送 7 位设备地址 0x35 和写命令位 0，CH211 检查设备地址匹配则返回 1 个应答位 0；

MCU 发送 8 位的寄存器地址（仅 0~7 有效），CH211 记录此起始地址并返回 1 个应答位 0；

MCU 再次发送 START 信号；

MCU 发送 7 位设备地址 0x35 和读命令位 1，CH211 检查地址匹配则返回 1 个应答位 0；

CH211 从寄存器读取数据返回，同时地址自动加 1，MCU 接收 8 位数据并返回 1 个应答位；

可选的，MCU 可以选择继续从下一个寄存器读取 8 位数据并应答；

MCU 发送 STOP 信号，结束操作。

快速读操作的步骤：

MCU（或其它主机）发送 START 信号；

MCU 发送 7 位设备地址 0x34 和读命令位 1，CH211 检查设备地址匹配则返回 1 个应答位 0；

CH211 从 0 地址寄存器 PIN_STAT 读取数据返回，地址自动加 1，MCU 接收数据并返回应答；

可选的，MCU 可以选择继续从下一个寄存器读取 8 位数据并应答；

MCU 发送 STOP 信号，结束操作。

MCU 引脚的内部上拉通常较弱，SDA 上升沿较慢，为提高 2 线接口通讯速率，可以设置 SDA_PU=1 启用 CH211 内部 SDA 上拉电阻，在 VDD33 供电下，关电时会自动关闭上拉，上电时自动恢复。

5.8. 中断

CH211 支持 8 个中断信号源，包含 HVIO 引脚低电平、KEY 引脚低电平、CC1 低电平，CC2 低电平、VBUS 上电、VBUS 掉电、VBUS 过压、过温。其中，VBUS 上电、VBUS 过压、过温总是使能中断，其它的信号源需要开启对应的中断使能位。

除非中断原因消除，否则 CH211 将一直请求中断。对于 VBUS 上电和掉电事件，读取 SYS_STAT 后将自动更新 VBUS_LAST，从而消除中断原因，取消中断请求。但其它中断例如 VBUS 过压，需要等到 VBUS 不再过压才会取消中断请求。

CH211 可选 3 种中断输出方式，由 INT_PIN 选择。其中，通过 HVIO 或 KEY 引脚输出低电平请求中断是常规方式，通过 SCL 引脚弱驱动低电平请求中断则可以节约 I/O 引脚。

CH211 的 SCL 引脚支持弱驱动低电平，该灌电流强于普通 MCU 引脚的上拉驱动电流，但弱于普通 MCU 引脚的推挽高电平驱动电流。

在空闲态时，MCU 的 SCL 引脚设置为不输出，同时启用 MCU 内部 SCL 引脚的上拉电阻或上拉电流，通常该上拉电流不超过 200uA。如果 CH211 请求中断，CH211 的 SCL 引脚将输出弱驱动低电平，可以将 SCL 信号线拉到低电平，此低电平可以触发 MCU 中断。

在 2 线接口通讯状态下，MCU 关闭 SCL 引脚的低电平中断输入功能，并将 SCL 引脚设置为推挽输出，通常其高电平驱动电流超过 2mA，远超 CH211 的 SCL 引脚的低电平驱动电流，可以确保 SCL 信号线正常通讯。通讯结束后，MCU 开启 SCL 引脚的低电平中断输入功能。

SCL 引脚复用于中断请求可以为 MCU 和 CH211 分别节省一个引脚，MCU 相关程序流程如下。

| MCU 主程序初始化流程 | MCU 通讯接口子程序流程 | 中断程序流程 |
|------------------------------------------------------------------------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------------------------|
| 启用 SCL 引脚的内部上拉电阻； 清除 SCL 引脚的中断标志； 初始化 SCL 引脚为中断输入 （低电平有效）； 等待中断。 | 暂时禁用 SCL 引脚中断，IE=0； 设置 SCL=1 且为推挽输出； 设置 SDA=1 且输出； 正常发出 2 线接口的 START 信号； 正常进行 2 线接口串行数据通讯； 正常发出 2 线接口的 STOP 信号； 将 SCL 从推挽输出改为带上拉的输入； 清除 SCL 引脚的中断标志； 恢复 SCL 引脚的中断使能，IE=1； 2 线接口子程序返回。 | 处理中断； 清除中断原因； 中断退出。 |

5.9. VBUS 电压监测

CH211 内置过压监测模块，持续监测 VBUS 电压，当 VBUS 电源电压高于 V_{BUSOV} 时，触发中断或者可选复位，可选自动强制 HVCP 引脚下拉或低电平，相当于关闭 HVCP 升压。

CH211 内置 VBUS 电压监测模块，当 VBUS 电源电压高于 V_{BUSRDY} 时，触发中断并自动切换为 VBUS 电源供电，系统不再消耗 VSYS 的电流；当 VBUS 电源电压低于 V_{BUSRDY} 时，可选触发中断并自动切换为 VSYS 电源供电。

另外，VBUS 电源电压还与更低电压阈值的 V_{EXIST} 比较，产生 VBUS_EXIST。

5.10. 过温监测 OTP

CH211 内置温度监测模块，当检测到芯片温度达到过温保护点 T_{SD} 时，触发过温中断或者可选复位，可选自动强制 HVCP 引脚下拉或低电平，相当于关闭 HVCP 升压。

6、参数

6.1. 绝对最大值（临界或者超过绝对最大值将可能导致芯片工作不正常甚至损坏）

| 名称 | 参数说明 | 最小值 | 最大值 | 单位 |
|-------------|-------------------------------------------|------|----------------|----|
| T_A | 工作时的环境温度 | -40 | 85 | °C |
| T_J | 工作结温 | -40 | 125 | °C |
| T_S | 储存时的环境温度 | -55 | 150 | °C |
| V_{SYS} | VSYS 引脚的电源电压 | -0.4 | 32 | V |
| V_{BUS} | VBUS 引脚的电源电压 | -0.4 | 32 | V |
| V_{DD49} | VDD49 引脚的电源电压 | -0.4 | 6.5 | V |
| V_{DD33} | VDD33 引脚的电源电压 | -0.4 | $V_{DD49}+0.4$ | V |
| V_{CCH} | CCH1/CCH2 引脚的信号电压 | -0.4 | 32 | V |
| V_{ODH} | ODH1/ODH2/HV10 引脚的信号电压 | -0.4 | 40 | V |
| V_{LV10} | SCL/SDA/CCL/ODL/KEY/CCPDG 等其它引脚的信号电压 | -0.4 | 6.5 | V |
| V_{ESDCC} | CCH/VBUS 引脚的 HBM 模型 ESD 耐压 | 6 | | KV |
| V_{ESDHV} | ODH/HV10/HVCP/VSYS 引脚的 HBM 模型 ESD 耐压 | 2 | | KV |
| V_{ESDNO} | CCPDG 引脚的 HBM 模型 ESD 耐压 | 0.8 | | KV |
| V_{ESDLV} | SCL/SDA/CCL/ODL/KEY/VDD 引脚的 HBM 模型 ESD 耐压 | 2 | | KV |

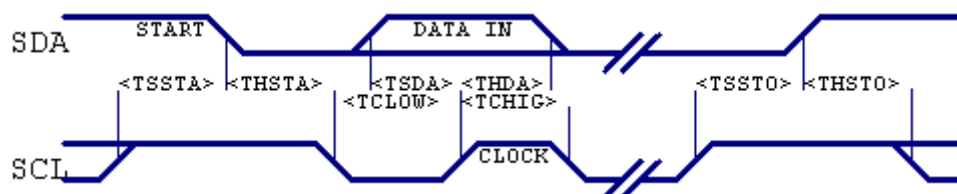
| | | | | |
|---------------|---------------------------|------------|-----|-----------------------------|
| I_{IO1} | 单个 I/O 引脚的连续导通电流 | | 30 | mA |
| I_{IO8} | 单个 I/O 引脚的占空比小于 1/8 的脉冲电流 | | 100 | mA |
| I_{ALL} | 所有 I/O 引脚的总电流 | | 150 | mA |
| PD | 整个芯片的最大功耗 | QFN20_3x3 | 500 | mW |
| | | QFN16C_2x2 | 350 | mW |
| θ_{JA} | 封装热阻 | QFN20_3x3 | 100 | $^{\circ}\text{C}/\text{W}$ |
| | | QFN16C_2x2 | 150 | $^{\circ}\text{C}/\text{W}$ |

6.2. 电气参数 (测试条件: $T_A=25^{\circ}\text{C}$ 、 $V_{\text{SYS}}=5\sim 28\text{V}$ 且 $V_{\text{BUS}}=5\sim 28\text{V}$)

| 名称 | 参数说明 | | 最小值 | 典型值 | 最大值 | 单位 | |
|-----------------------|----------------------------------------|-------------------------------------------------------------------|----------------------------------------------------------------|---------|---------|---------------|---------------|
| V_{SYS} | VSYS 引脚的电源电压 | | 2.8 | 5~28 | 29 | V | |
| V_{BUS} | VBUS 引脚的电源电压 | | 4.7 | 5~28 | 29 | V | |
| V_{DD49} | VDD49 引脚 LDO 输出电压 | V_{SYS} 或 $V_{\text{BUS}} \geq 5.2\text{V}$, 10mA 负载 | 4.7 | 4.9 | 5.1 | V | |
| | | $V_{\text{SYS}}=5\text{V}$ 且 $V_{\text{BUS}}=0\text{V}$, 10mA 负载 | 4.6 | 4.8 | 5.0 | V | |
| V_{DD33} | VDD33 引脚 LDO 输出的电源电压, 10mA 负载 | | $V-0.1$ | 2.4~4.5 | $V+0.1$ | V | |
| I_{VDD49} | VDD49 和 VDD33 合计输出负载电流, 含 VCONN | | $V_{\text{SYS}} \geq 5\text{V}$ 且 $V_{\text{BUS}} < 3\text{V}$ | | 15 | mA | |
| | | | $V_{\text{BUS}} \geq 5\text{V}$ | | 35 | mA | |
| I_{VDD33} | VDD33 输出负载电流 | | $V_{\text{BUS}} \geq 5\text{V}$ | | 20 | mA | |
| I_{VCONN} | CCH 引脚 VCONN 负载电流 | | | | 25 | mA | |
| V_{EXIST} | 电源存在的电压阈值, 带 0.3V 迟滞 | | 2.8 | 3~3.3 | 3.5 | V | |
| V_{BUSRDY} | VBUS 电源就绪的电压阈值 | VBUS 上升时电压阈值 | 4.2 | 4.4 | 4.6 | V | |
| | | VBUS 下降时电压阈值 | 4.0 | 4.2 | 4.4 | V | |
| V_{BUSOV} | VBUS 过压监测 OVP 的电压阈值 | | 31.5 | 33 | 34.5 | V | |
| I_{W} | 开启 HVCP 但无负载时的工作电流 | | | 0.8 | 2 | mA | |
| I_{QS} | V_{SYS} 静态电流 | 空闲态且关闭 | $V_{\text{SYS}} \geq 5\text{V}$ 且 $V_{\text{BUS}} < 3\text{V}$ | 15 | 40 | μA | |
| | | | $V_{\text{BUS}} \geq 5\text{V}$ | 1 | 10 | μA | |
| I_{QB} | V_{BUS} 静态电流 | HVCP | $V_{\text{BUS}} \geq 5\text{V}$ | 40 | 100 | μA | |
| V_{IL} | SCL/SDA 引脚的低电平输入电压 | | 0 | | 0.8 | V | |
| V_{IH} | SCL/SDA 引脚的高电平输入电压 | | 2.1 | | 5 | V | |
| V_{REFL} | HVIO/KEY 引脚的低参考电压, 带 0.1V 迟滞 | | 0.9 | 1.1 | 1.35 | V | |
| V_{REFM} | HVIO/KEY 引脚的中参考电压, 与负载有关 | | 1.35 | 1.6 | 2.5 | V | |
| V_{REFH} | HVIO/KEY 引脚的高参考电压, 带 0.1V 迟滞 | | 3.2 | 3.5 | 3.8 | V | |
| V_{TCC} | CC 的高阈值参考电压, 带 0.1V 迟滞 | | $V_{\text{DD49}}=4.9\text{V}$, CC_HVT3V=0 | 2.1 | 2.4 | 2.8 | V |
| | | | $V_{\text{DD49}}=3.3\text{V}$, CC_HVT3V=1 | 2.1 | 2.3 | 2.5 | V |
| V_{CP} | CP_AUTO=1 等待稳定后的净提升电压 | 负载电流 $\leq 10\mu\text{A}$ | 5 | 7.5 | 8.5 | V | |
| I_{OLSDA} | SDA 引脚的低电平灌电流 | | SDA=0.4V | 5 | 10 | 16 | mA |
| I_{OLSCL} | SCL 引脚的低电平灌电流 (SCL 复用于中断输出) | | SCL=0.4V | 0.18 | 0.3 | 0.5 | mA |
| | | | SCL= V_{DD49} | | 1.3 | 2.0 | mA |
| I_{PK} | HVIO/KEY 引脚到 V_{REFM} 的下拉负载电流 | | | | 800 | μA | |
| I_{VBUSDISC} | VBUS 引脚的放电电流 | | $V_{\text{BUS}}=5\text{V}$ | | 25 | mA | |
| | | | $V_{\text{BUS}}=28\text{V}$ | | 30 | mA | |
| I_{CP} | HVCP 升压模块的负载电流 | | | | 60 | μA | |
| I_{CPX} | HVCP 强下拉的负载电流 | | HVCP=0.5V | 400 | 700 | 1200 | μA |
| | | | HVCP=28V | | 6 | | mA |
| I_{CPL} | HVCP 弱下拉的负载电流 | | HVCP=3V~28V | 60 | 100 | 140 | μA |

| | | | | | | |
|--------------------|-------------------------------|-------------------------|------|------|-------|-----|
| R _{PUSDA} | SDA 引脚的内置上拉电阻 | | 7 | 10 | 15 | K Ω |
| R _d | CCH 引脚的内置 R _d 下拉电阻 | V _{OCH} ≥ 1.2V | 4.2 | 5.1 | 6 | K Ω |
| R _{GCC} | CC 通道导通电阻 | V _{OCH} ≤ 1.2V | | 14 | 20 | Ω |
| R _{GOD} | OD 通道导通电阻 | V _{ODH} ≤ 1.2V | | 32 | 45 | Ω |
| R _{WPU} | HVIO 内置弱上拉电阻 | | 4000 | 8000 | 15000 | K Ω |
| R _{PU} | HVIO/KEY 内置上拉电阻 | HV_PD/KEY_PD=0 | 30 | 60 | 180 | K Ω |
| | | HV_PD/KEY_PD=1 | 80 | 160 | 400 | K Ω |
| R _{CP} | HVCP 内置放电电阻 | | 800 | 1200 | 1600 | K Ω |
| R _{CPL} | HVCP 弱下拉串联电阻 | | 25 | 40 | 60 | K Ω |
| T _{SD} | OTP 过温监测门限 | | 115 | 135 | 160 | °C |
| V _{LVR} | 上电复位和低压复位的电压门限 | | 2.0 | 2.2 | 2.5 | V |

6.3. 接口时序参数（测试条件：T_A=25°C，V_{sys}=5~28V，参考附图）



| 名称 | 参数说明 | 最小值 | 典型值 | 最大值 | 单位 |
|-------------------|------------------------|-----|-----|-----|-----|
| T _{SSTA} | SDA 下降沿启动信号的建立时间 | 90 | | | nS |
| T _{HSTA} | SDA 下降沿启动信号的保持时间 | 90 | | | nS |
| T _{SSTO} | SDA 上升沿停止信号的建立时间 | 90 | | | nS |
| T _{HSTO} | SDA 上升沿停止信号的保持时间 | 90 | | | nS |
| T _{CLOW} | SCL 时钟信号的低电平宽度 | 90 | | | nS |
| T _{CHIG} | SCL 时钟信号的高电平宽度 | 90 | | | nS |
| T _{SDA} | SDA 输入数据对 SCL 上升沿的建立时间 | 30 | | | nS |
| T _{HDA} | SDA 输入数据对 SCL 上升沿的保持时间 | 10 | | | nS |
| Rate | 平均数据传输速率 | 0 | | 2M | bps |

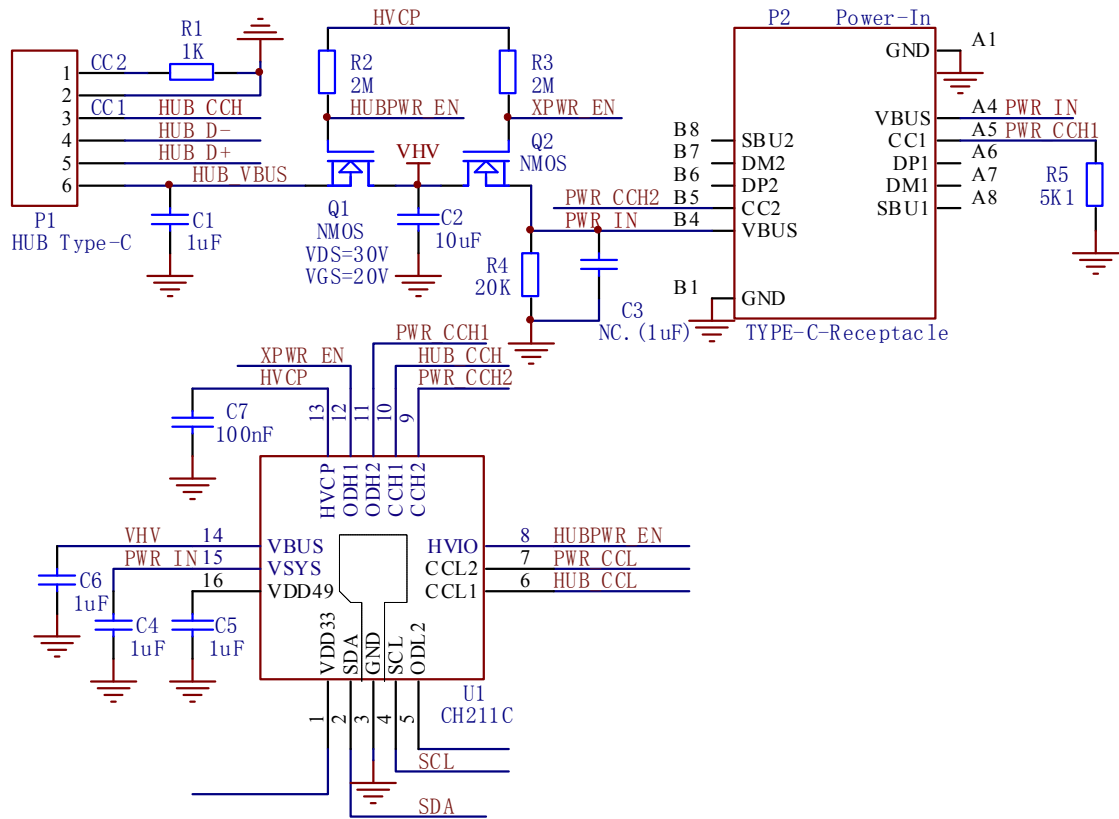
7、应用

7.1. PD-HUB 高压扩展

内置 PD 的 HUB 芯片通过 SCL 和 SDA 控制 CH211，两个 CC 其中一个作为 PWR_CCL，通过 CH211 连接到 Type-C 供电端口两个 CC 引脚进行二选一，另一个作为 HUB_CCL，通过 CH211 连接到 HUB 端口。

CH211C 的 CCH1 和 CCH2 已内置 5K1 下拉电阻，ODH2 需外加下拉电阻。该电路中，V_{sys} 仅用于检测 Type-C 供电端口 P2 是否有电。

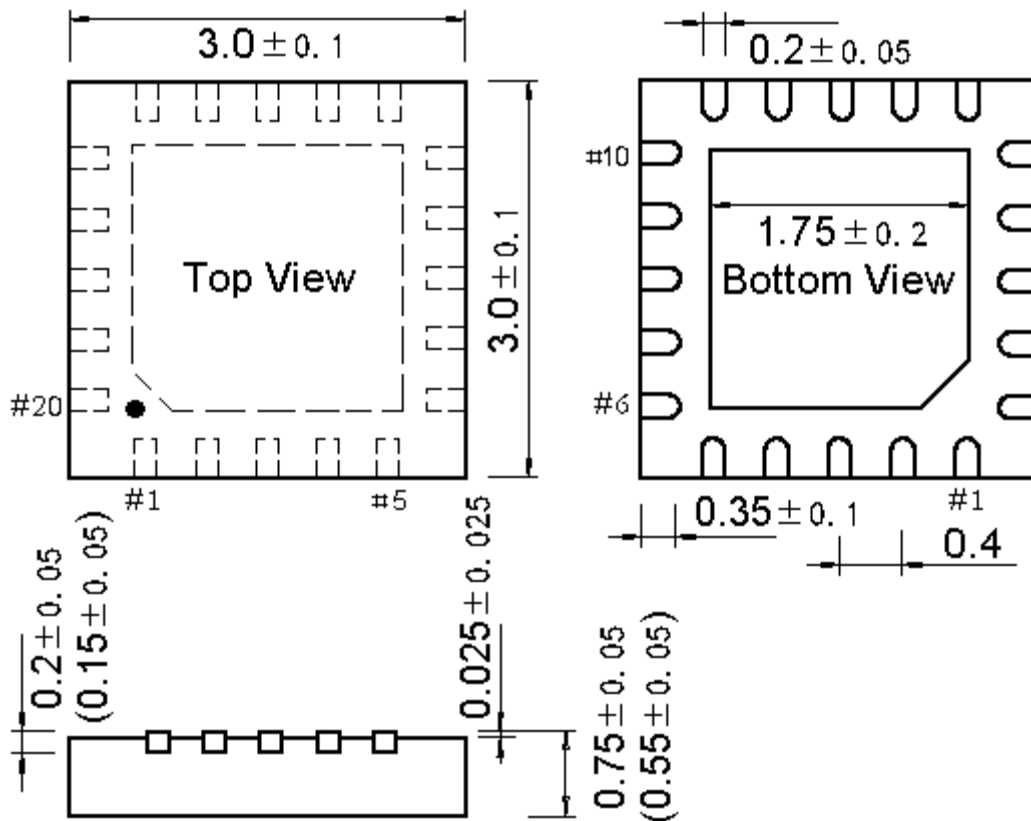
CH211 的 HVCP 可以将 VHV 升压，通过两个上拉电阻连接到 Q1 和 Q2 两个 N 型 MOSFET 的栅极，在 CH211 两个高压开漏引脚的控制下独立开启或关闭两个 N 管。如果不升压，也可用两个高压开漏引脚和两个连接到 VHV 的上拉电阻独立控制两个 P 管，区分在于同等条件下，P 管导通内阻略大。



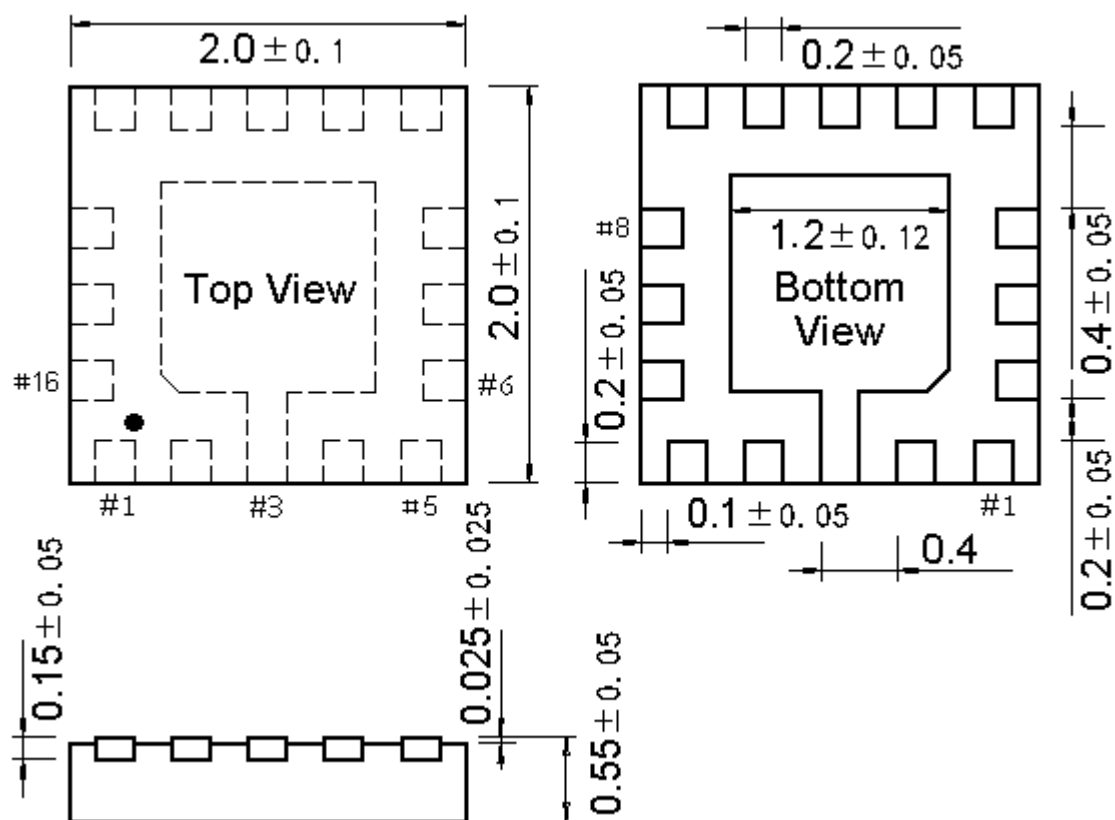
8、封装信息

尺寸单位均为 mm，QFN 封装误差均不超过 ± 0.1 ，非 QFN 封装误差均不超过 ± 0.2 。

8.1. QFN20_3x3x0.75-0.4



8.2. QFN16C_2x2x0.55-0.4



CH211C 印字为

| |
|------|
| 211C |
| .xyz |

 , 其中 xyz 为批号代码, “.” 对应 pin 1#。