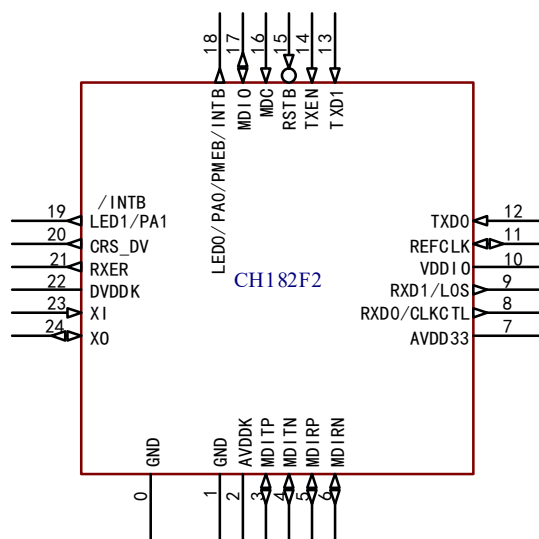
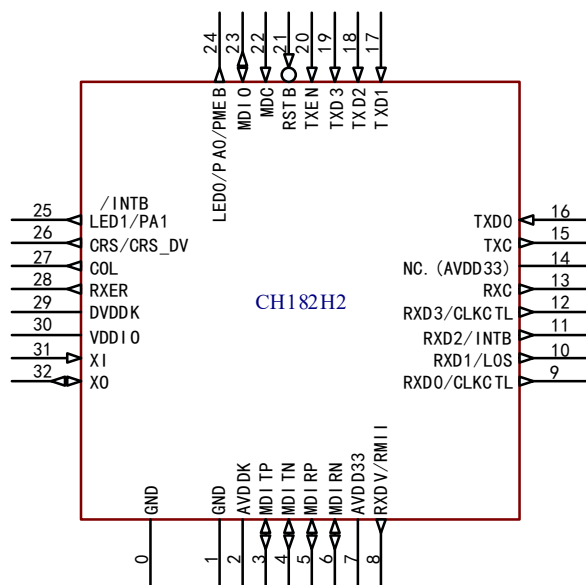
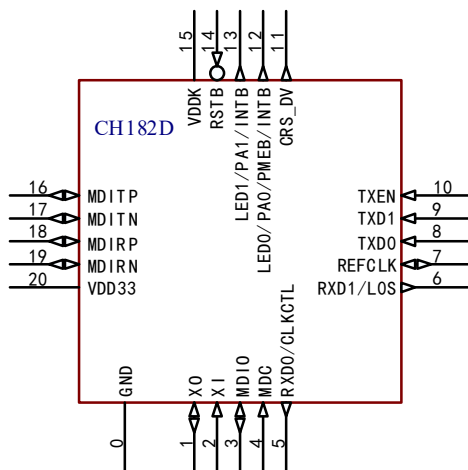
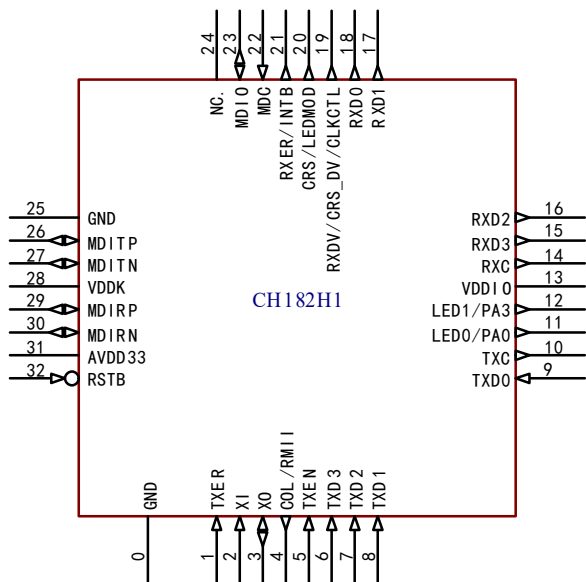
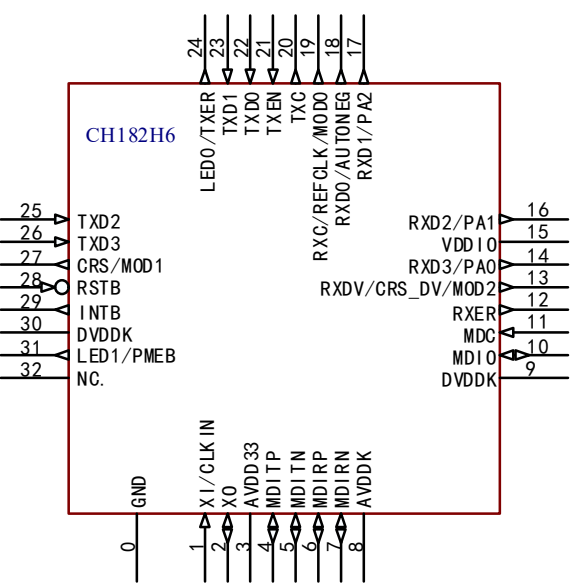
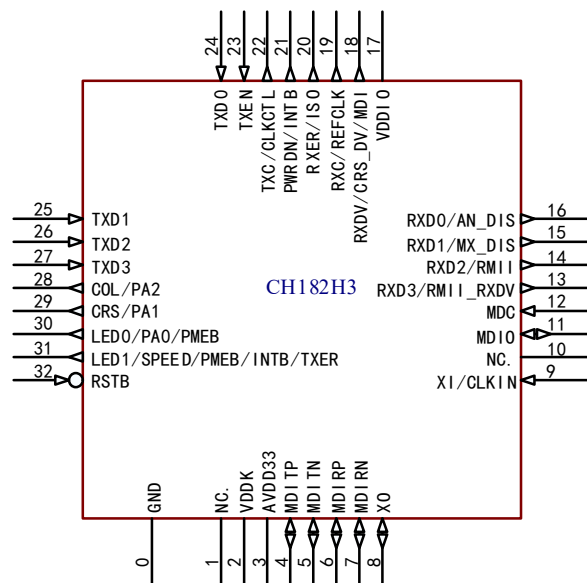
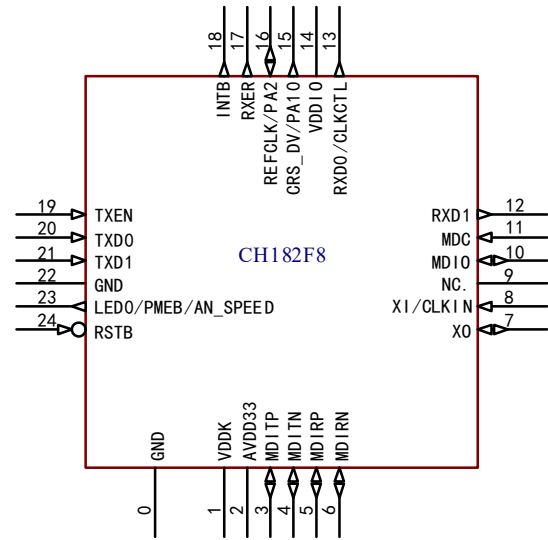
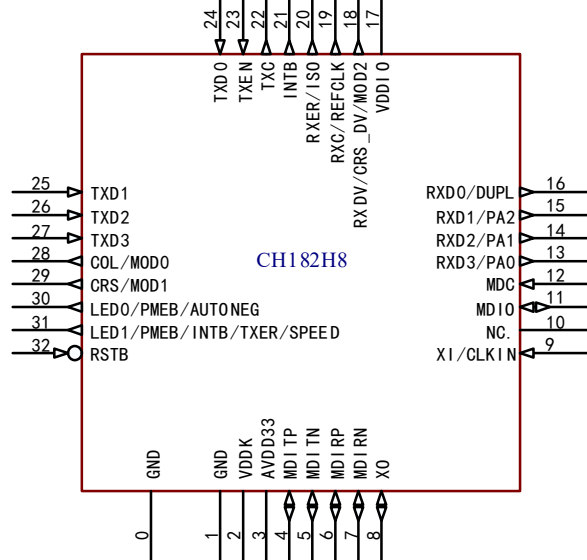
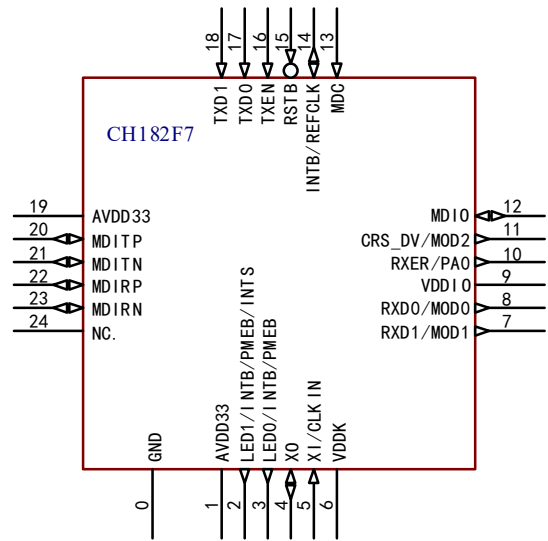
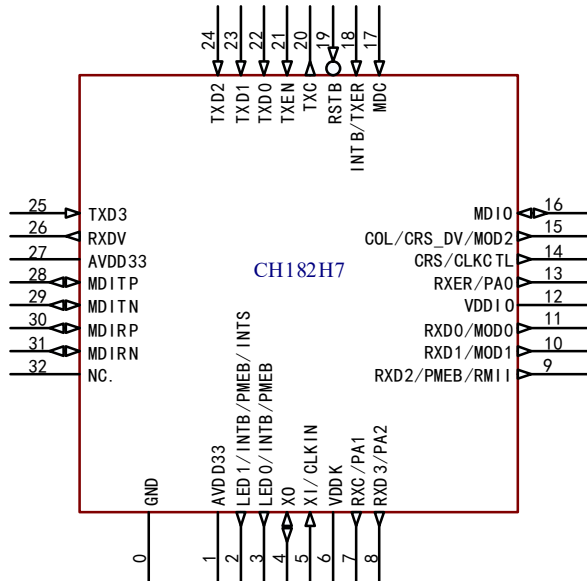


1、引脚排列





封装形式	塑体尺寸	引脚节距		封装说明	订货型号
QFN32	4.0*4.0mm	0.40mm	15.7mil	四边无引线 32 脚	CH182H1
QFN20	3.0*3.0mm	0.40mm	15.7mil	四边无引线 20 脚	CH182D
QFN32X5	5.0*5.0mm	0.50mm	19.7mil	四边无引线 32 脚	CH182H2
QFN24	4.0*4.0mm	0.50mm	19.7mil	四边无引线 24 脚	CH182F2
QFN32X5	5.0*5.0mm	0.50mm	19.7mil	四边无引线 32 脚	CH182H7
QFN24	4.0*4.0mm	0.50mm	19.7mil	四边无引线 24 脚	CH182F7
QFN32X5	5.0*5.0mm	0.50mm	19.7mil	四边无引线 32 脚	CH182H8
QFN24	4.0*4.0mm	0.50mm	19.7mil	四边无引线 24 脚	CH182F8
QFN32X5	5.0*5.0mm	0.50mm	19.7mil	四边无引线 32 脚	CH182H3
QFN32X5	5.0*5.0mm	0.50mm	19.7mil	四边无引线 32 脚	CH182H6

注：1、新设计可用 CH182D/CH182H1/CH182H2，建议优选小体积的 CH182D 或 CH182H1，详细信息请参考《CH182DS1》手册。

2、客制引脚 CH182H3、CH182H6、CH182H7、CH182H8、CH182F2、CH182F7、CH182F8，仅批量预定。

2、引脚定义

表 2-1 CH182F2 引脚定义

引脚号	引脚名称	类型	引脚说明										
0	GND	P	公共接地端。										
1	GND	P	可选的公共接地端，建议连接。										
2	AVDDK	P	外接 1uF 对地电容贴近芯片放置。										
3	MDITP	I/O	10BASE-T/100BASE-TX MDI 模式下的差分输出；										
4	MDITN	I/O	10BASE-T/100BASE-TX MDIX 模式下的差分输入。										
5	MDIRP	I/O	10BASE-T/100BASE-TX MDI 模式下的差分输入；										
6	MDIRN	I/O	10BASE-T/100BASE-TX MDIX 模式下的差分输出。										
7	AVDD33	P	3.3V 主电源输入，建议 0.1uF 并联 10uF 对地电容贴近芯片放置，或单个 1uF~4.7uF。										
8	RXD0 /CLKCTL	LI, O, PD	接收数据位 [0] (RXD0)。 时钟方向选择 (CLKCTL)： 在 RMI1 模式下，上电期间根据该引脚的锁存值，用于配置参考时钟的方向： 默认由内部下拉电阻置低电平 = TXC 输出时钟； 可选外部 4.7KΩ 上拉电阻置高电平 = TXC 输入时钟。										
9	RXD1 /LOS	O, PD	接收数据位 [1] (RXD1)。 LED0 功能选择 (LOS)： 默认内部由下拉电阻置低电平 = LED0 功能； 可选外部 4.7KΩ 上拉电阻置高电平 = WOL 功能。										
12	TXD0	I, PD	发送数据位 TXD[1:0]： 由 MAC 驱动，向 PHY 提供并行的发送数据。 当 TXEN 使能时：										
13	TXD1	I, PD	RMI1 模式下，TXD[1:0] 数据有效。										
14	TXEN	I, PD	发送使能 (TXEN)。										
15	RSTB	I, PU	复位输入，低电平有效。										
16	MDC	I, PU	SMI 管理接口的时钟输入 (MDC)： 该引脚输入与 MDIO 同步的串行时钟， 内置上拉电阻防止引脚浮空。										
17	MDIO	I/O, PU	SMI 管理接口的数据输入和输出 (MDIO)： 该引脚用于输入或输出管理信息的双向串行数据。										
19	LED1 /PA1 /INTB	LI, O/OD, PD	LED1： 传统 LED 功能选择，默认 LED_SEL 为 11： <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>LED_SEL</th> <th>00</th> <th>01</th> <th>10</th> <th>11</th> </tr> </thead> <tbody> <tr> <td>LED1</td> <td>LINK₁₀₀</td> <td>LINK₁₀₀</td> <td>LINK₁₀₀</td> <td>LINK₁₀₀ /ACT₁₀₀</td> </tr> </tbody> </table> PHY 地址 [1] (PA1)： 上电锁存 PHY 地址 [1] 的值，	LED_SEL	00	01	10	11	LED1	LINK ₁₀₀	LINK ₁₀₀	LINK ₁₀₀	LINK ₁₀₀ /ACT ₁₀₀
LED_SEL	00	01	10	11									
LED1	LINK ₁₀₀	LINK ₁₀₀	LINK ₁₀₀	LINK ₁₀₀ /ACT ₁₀₀									

引脚号	引脚名称	类型	引脚说明										
182F2			默认由内部下拉电阻置低电平 = 0； 可选外部 4.7kΩ 上拉电阻置高电平 = 1。 INTB: 中断输出, 开漏输出。 注: 该引脚功能由页 1 寄存器 28 决定。										
21	RXER	0, PD	接收错误指示 (RXER)。										
22	DVDDK	P	外接 0.1μF (0.1μF~1μF) 对地电容贴近芯片放置。										
10	VDDIO	P	I/O 接口的电源输入, 外接 0.1μF 对地电容。										
23	XI	I	晶振输入, 需外接 25MHz 晶体一端, 可选外部 25MHz 或 50MHz 时钟输入。										
24	XO	I/O	晶振反相输出, 需外接 25MHz 晶体另一端。 或在 XI 接 GND 时, XO 用于输入外部 25MHz 或 50MHz 时钟。										
18	LED0/PA0 /PMEB /INTB	LI, O/OD , PU	LED0: 传统 LED 功能选择, 默认 LED_SEL 为 11: <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>LED_SEL</th> <th>00</th> <th>01</th> <th>10</th> <th>11</th> </tr> </thead> <tbody> <tr> <td>LED0</td> <td>ACT_{ALL}</td> <td>LINK_{ALL} /ACT_{ALL}</td> <td>LINK₁₀ /ACT_{ALL}</td> <td>LINK₁₀ /ACT₁₀</td> </tr> </tbody> </table> PHY 地址 [0] (PA0): 上电锁存 PHY 地址 [0] 的值, 默认由内部上拉电阻置高电平 = 1; 可选外部接下拉电阻置低电平 = 0。 电源管理事件输出 (PMEB): WOL 电源管理事件输出, 低电平有效。 如果接收到魔法包或唤醒帧, 则输出低电平。 INTB: 中断输出, 开漏输出。 注: 该引脚功能由页 1 寄存器 28 决定。	LED_SEL	00	01	10	11	LED0	ACT _{ALL}	LINK _{ALL} /ACT _{ALL}	LINK ₁₀ /ACT _{ALL}	LINK ₁₀ /ACT ₁₀
LED_SEL	00	01	10	11									
LED0	ACT _{ALL}	LINK _{ALL} /ACT _{ALL}	LINK ₁₀ /ACT _{ALL}	LINK ₁₀ /ACT ₁₀									
11	REFCLK	I/O, PD	50MHz 参考时钟 (REFCLK): 在 RMI1 模式下, 该引脚用于输出或者输入 50MHz 参考时钟 REFCLK。方向由 RXD0/CLKCTL 引脚或页 7 寄存器 16 决定。										
20	CRS_DV	0, PD	载波检测/接收数据有效 (CRS_DV): 如果接收媒介不处于空闲状态, 则输出高电平。										

注: I = 输入; O = 输出; I/O = 输入/输出; P = 电源;
OD = 开漏输出; PD = 上电复位内部拉低; PU = 上电复位内部拉高;
LI = 上电期间检测引脚状态并锁存输入用于功能配置; NC. = 保留引脚。

表 2-2 CH182H7/CH182F7 引脚定义

引脚号		引脚名称	类型	引脚说明										
182F7	182H7													
0	0	GND	P	公共接地端。										
1	1	AVDD33	P	3.3V 主电源输入，建议 0.1uF 并联 10uF 对地电容贴近芯片放置，或单个 1uF~4.7uF。										
2	2	LED1 /INTB /PMEB /INTS	LI, O, PU	<p>LED1: 传统 LED 功能选择，默认 LED_SEL 为 11:</p> <table border="1"> <thead> <tr> <th>LED_SEL</th> <th>00</th> <th>01</th> <th>10</th> <th>11</th> </tr> </thead> <tbody> <tr> <td>LED1</td> <td>LINK₁₀₀</td> <td>LINK₁₀₀</td> <td>LINK₁₀₀</td> <td>LINK₁₀₀ /ACT₁₀₀</td> </tr> </tbody> </table> <p>INTB: 中断输出，开漏输出。</p> <p>电源管理事件输出 (PMEB): WOL 电源管理事件输出，低电平有效。 如果接收到魔法包或唤醒帧，则输出低电平。</p> <p>INTS (仅针对 182H7): 上电复位期间，锁存引脚值用于选择引脚 TXER/INTB 功能。 默认由内部上拉电阻置高电平 = INTB 功能 可选外部接下拉电阻置低电平 = TXER 功能 注: 该引脚功能由页 1 寄存器 28 决定。</p> <p>INTS (仅针对 182F7): 上电复位期间，锁存引脚值用于选择引脚 INTB/REFCLK 功能。 默认由内部上拉电阻置高电平 = INTB 功能 可选外部接下拉电阻置低电平 = REFCLK 功能</p>	LED_SEL	00	01	10	11	LED1	LINK ₁₀₀	LINK ₁₀₀	LINK ₁₀₀	LINK ₁₀₀ /ACT ₁₀₀
LED_SEL	00	01	10	11										
LED1	LINK ₁₀₀	LINK ₁₀₀	LINK ₁₀₀	LINK ₁₀₀ /ACT ₁₀₀										
3	3	LED0 /INTB /PMEB	LI, O, PD	<p>LED0: 传统 LED 功能选择，默认 LED_SEL 为 11:</p> <table border="1"> <thead> <tr> <th>LED_SEL</th> <th>00</th> <th>01</th> <th>10</th> <th>11</th> </tr> </thead> <tbody> <tr> <td>LED0</td> <td>ACT_{ALL}</td> <td>LINK_{ALL} /ACT_{ALL}</td> <td>LINK₁₀ /ACT_{ALL}</td> <td>LINK₁₀ /ACT₁₀</td> </tr> </tbody> </table> <p>INTB: 中断输出，开漏输出。</p> <p>电源管理事件输出 (PMEB): WOL 电源管理事件输出，低电平有效。如果接收到魔法包或唤醒帧，则输出低电平。 注: 该引脚功能由页 1 寄存器 28 决定。</p>	LED_SEL	00	01	10	11	LED0	ACT _{ALL}	LINK _{ALL} /ACT _{ALL}	LINK ₁₀ /ACT _{ALL}	LINK ₁₀ /ACT ₁₀
LED_SEL	00	01	10	11										
LED0	ACT _{ALL}	LINK _{ALL} /ACT _{ALL}	LINK ₁₀ /ACT _{ALL}	LINK ₁₀ /ACT ₁₀										
4	4	X0	I/O	晶振反相输出，需外接 25MHz 晶体另一端。 或 XI 接 GND 时，X0 用于输入外部 25MHz 或 50MHz 时钟。										
5	5	XI/CLKIN	I	晶振输入，需外接 25MHz 晶体一端，可选外部 25MHz 或 50MHz 时钟输入。 RMII 从模式下，XI 输入 50M 时钟。										

引脚号		引脚名称	类型	引脚说明
182F7	182H7			
6	6	VDDK	P	外接 1uF 对地电容贴近芯片放置。
-	7	RXC /REFCLK0 /PA1	LI, 0, PD	输出接收时钟 (RXC) : 在 MII 模式下, RXC 提供用于 RXD[3:0] 和 RXDV 信号的连续工作时钟。RXC 在 100Mbps 和 10Mbps 模式下分别是 25MHz 和 2.5MHz。 RMII 模式 50MHz 时钟输出 (REFCLK0) : RMII 模式下, 50MHz 时钟输出。 PHY 地址[1] (PA1) : 上电锁存 PHY 地址[1] 的值, 默认由内部下拉电阻置低电平 = 0; 可选外部 4.7KΩ 上拉电阻置高电平 = 1。
-	8	RXD3/PA2	LI, 0, PD	接收数据位[3] (RXD3) 。 PHY 地址[2] (PA2) : 上电锁存 PHY 地址[2] 的值, 默认由内部下拉电阻置低电平 = 0; 可选外部 4.7KΩ 上拉电阻置高电平 = 1。
-	9	RXD2 /PMEB /RMII	LI, 0, PD	接收数据位[2] (RXD2) 。 电源管理事件输出 (PMEB) : WOL 电源管理事件输出, 低电平有效。如果接收到魔法包或唤醒帧, 则输出低电平。 RMII 模式选择 (RMII) : 上电复位期间, 默认由内部下拉电阻置低电平 = MII 接口模式 可选外部 4.7KΩ 上拉电阻置高电平 = RMII 接口模式 注: 该引脚功能由页 1 寄存器 28 决定。
7	10	RXD1 /MOD1	LI, 0, PU	接收数据位[1] (RXD1) 。 MOD1: 结合 MOD2 和 MOD0 设置 PHY 默认操作模式。
8	11	RXD0 /MOD0	LI, 0, PU	接收数据位[0] (RXD0) 。 MOD0: 结合 MOD2 和 MOD1 设置 PHY 默认操作模式。
9	12	VDDI0	P	I/O 接口的电源输入, 外接 0.1uF 对地电容。
10	13	RXER/PA0	LI, 0, PD	接收错误指示 (RXER) 。 PHY 地址[0] (PA0) : 上电锁存 PHY 地址[0] 的值, 默认由内部下拉电阻置低电平 = 0; 可选外部 4.7KΩ 上拉电阻置高电平 = 1。
-	14	CRS /CLKCTL	LI, 0, PD	载波感应 (CRS) : 该引脚输出高电平信号表明正在进行发送或者接收, 输出低电

引脚号		引脚名称	类型	引脚说明																		
182F7	182H7																					
				<p>平信号则表示正处于空闲状态。</p> <p>时钟方向选择 (CLKCTL) : 在 RMII 模式下, 上电期间根据该引脚的锁存值, 用于配置参考时钟的方向: 内部下拉电阻置低电平 = RXC/REFCLK0 输出时钟; 可选外部 4.7kΩ 上拉电阻置高电平 = XI 输入时钟。</p>																		
-	15	COL /CRS_DV /MOD2	LI, O, PD	<p>碰撞监测 (COL) : 在 MII 模式下, 当检测到碰撞时, COL 输出高电平。</p> <p>载波感应/接收数据有效 (CRS_DV) : 在 RMII 模式下, 如果接收媒介不处于空闲状态, 则输出高电平。</p> <p>MOD2: 结合 MOD1 和 MOD0 设置 PHY 默认操作模式。</p> <table border="1"> <thead> <tr> <th>MOD[2:0]</th> <th>功能描述</th> </tr> </thead> <tbody> <tr> <td>000</td> <td>10M 半双工, 自动协商关闭。</td> </tr> <tr> <td>001</td> <td>10M 全双工, 自动协商关闭。</td> </tr> <tr> <td>010</td> <td>100M 半双工, 自动协商关闭, CRS 出现在接收和发送期间。</td> </tr> <tr> <td>011</td> <td>100M 全双工, 自动协商关闭, CRS 出现在接收和发送期间。</td> </tr> <tr> <td>100</td> <td>100M 半双工, 自动协商开启, CRS 出现在接收和发送期间。</td> </tr> <tr> <td>101</td> <td>100M 半双工, 自动协商开启, CRS 出现在接收期间。</td> </tr> <tr> <td>110</td> <td>POWER_DOWN 模式。</td> </tr> <tr> <td>111</td> <td>自动协商开启。</td> </tr> </tbody> </table>	MOD[2:0]	功能描述	000	10M 半双工, 自动协商关闭。	001	10M 全双工, 自动协商关闭。	010	100M 半双工, 自动协商关闭, CRS 出现在接收和发送期间。	011	100M 全双工, 自动协商关闭, CRS 出现在接收和发送期间。	100	100M 半双工, 自动协商开启, CRS 出现在接收和发送期间。	101	100M 半双工, 自动协商开启, CRS 出现在接收期间。	110	POWER_DOWN 模式。	111	自动协商开启。
MOD[2:0]	功能描述																					
000	10M 半双工, 自动协商关闭。																					
001	10M 全双工, 自动协商关闭。																					
010	100M 半双工, 自动协商关闭, CRS 出现在接收和发送期间。																					
011	100M 全双工, 自动协商关闭, CRS 出现在接收和发送期间。																					
100	100M 半双工, 自动协商开启, CRS 出现在接收和发送期间。																					
101	100M 半双工, 自动协商开启, CRS 出现在接收期间。																					
110	POWER_DOWN 模式。																					
111	自动协商开启。																					
12	16	MDIO	I/O, PU	SMI 管理接口的数据输入和输出 (MDIO) : 该引脚用于输入或输出管理信息的双向串行数据。																		
13	17	MDC	I, PU	SMI 管理接口的时钟输入 (MDC) : 该引脚输入与 MDIO 同步的串行时钟, 内置上拉电阻防止引脚浮空。																		
-	18	TXER/ INTB	I/OD	<p>发送错误指示 (TXER) 。</p> <p>中断 (INTB) : 中断输出, 开漏输出。 注: 该引脚功能由页 1 寄存器 28 决定。</p>																		
15	19	RSTB	I, PU	复位输入, 低电平有效。																		
-	20	TXC	O	<p>II 模式发送时钟 (TXC) : 在 MII 模式下, 该引脚为 TXD[3:0] 和 TXEN 信号提供参考时钟。 TXC 在 100Mbps 和 10Mbps 模式下分别是 25MHz 和 2.5MHz。</p>																		
16	21	TXEN	I, PD	发送使能 (TXEN) 。																		
17	22	TXD0	I	发送数据位 TXD[3:0] :																		

引脚号		引脚名称	类型	引脚说明
182F7	182H7			
18	23	TXD1	I	由MAC驱动，向PHY提供并行的发送数据。 当TXEN使能时： MII模式下，TXD[3:0]数据有效； RMII模式下，TXD[1:0]数据有效。
-	24	TXD2	I	
-	25	TXD3	I	
-	26	RXDV	O	接受数据有效 (RXDV)： 当RXD[3:0]接收数据时，该引脚输出高电平； 当接收完成时被拉低；在RXC的上升沿有效。
19	27	AVDD33	P	3.3V电源输入，建议0.1uF对地电容。
20	28	MDITP	I/O	10BASE-T/100BASE-TX MDI模式下的差分输出； 10BASE-T/100BASE-TX MDIX模式下的差分输入。 10BASE-T/100BASE-TX MDI模式下的差分输入； 10BASE-T/100BASE-TX MDIX模式下的差分输出。
21	29	MDITN	I/O	
22	30	MDIRP	I/O	
23	31	MDIRN	I/O	
24	32	NC.	NC.	保留引脚，内部未连接。
11	-	CRS_DV /MOD2	LI, O, PU	载波感应接收数据有效 (CRS_DV)： 如果接收媒介不处于空闲状态，则输出高电平。 MOD2：结合MOD1和MOD0设置PHY默认操作模式。
14	-	INTB /REFCLK	O/OD	50MHz参考时钟 (REFCLK)： RMII主模式时，该引脚用于输出50MHz参考时钟REFCLK。 INTB：RMII从模式时，该引脚为中断输出引脚，开漏输出。

注：I = 输入； O = 输出； I/O = 输入/输出； P = 电源；
OD = 开漏输出； PD = 上电复位内部拉低； PU = 上电复位内部拉高；
LI = 上电期间检测引脚状态并锁存输入用于功能配置； NC. = 保留引脚。

表 2-3 CH182H8/CH182F8 引脚定义

引脚号		引脚名称	类型	引脚说明
182F8	182H8			
0	0	GND	P	公共接地端。
22	1	GND	P	可选的公共接地端，建议连接。
1	2	VDDK	P	外接1uF对地电容贴近芯片放置。
2	3	AVDD33	P	3.3V主电源输入，建议0.1uF并联10uF对地电容贴近芯片放置，或单个1uF~4.7uF。
3	4	MDITP	I/O	10BASE-T/100BASE-TX MDI模式下的差分输出； 10BASE-T/100BASE-TX MDIX模式下的差分输入。 10BASE-T/100BASE-TX MDI模式下的差分输入； 10BASE-T/100BASE-TX MDIX模式下的差分输出。
4	5	MDITN	I/O	
5	6	MDIRP	I/O	
6	7	MDIRN	I/O	
7	8	X0	I/O	晶振反相输出，需外接25MHz晶体另一端。 或在XI接GND时，X0用于输入外部25MHz或50MHz时钟。
8	9	XI/CLKIN	I	晶振输入，需外接25MHz晶体一端。可选外部25MHz或50MHz时钟输入。RMII从模式下，XI输入50MHz时钟。

引脚号		引脚名称	类型	引脚说明																		
182F8	182H8																					
9	10	NC.	NC.	保留引脚，内部未连接。																		
10	11	MDIO	I/O, PU	SMI 管理接口的数据输入和输出 (MDIO)。 该引脚用于输入或输出管理信息的双向串行数据。																		
11	12	MDC	I, PU	SMI 管理接口的时钟输入 (MDC)。 该引脚输入与 MDIO 同步的串行时钟，内置上拉电阻防止引脚浮空。																		
-	13	RXD3/PA0	LI, O, PU	接收数据位 [3] (RXD3)。 PHY 地址 [0] (PA0)： 上电锁存 PHY 地址 [0] 的值， 默认由内部上拉电阻置高电平 = 1； 可选外部接下拉电阻置低电平 = 0。																		
-	14	RXD2/PA1	LI, O, PD	接收数据位 [2] (RXD2)。 PHY 地址 [1] (PA1)： 上电锁存 PHY 地址 [1] 的值， 默认由内部下拉电阻置低电平 = 0； 可选外部 4.7kΩ 上拉电阻置高电平 = 1。																		
-	15	RXD1/PA2	LI, O, PD	接收数据位 [1] (RXD1)。 PHY 地址 [2] (PA2)： 上电锁存 PHY 地址 [2] 的值， 默认由内部下拉电阻置低电平 = 0； 可选外部 4.7kΩ 上拉电阻置高电平 = 1。																		
-	16	RXD0 /DUPL	LI, O, PU	接收数据位 [0] (RXD0)。 上电锁存该管脚用于强制模式下的双工模式设置 (DUPL)。																		
14	17	VDDIO	P	I/O 接口的电源输入，外接 0.1μF 对地电容。																		
-	18	RXDV /CRS_DV /MOD2	LI, O, PD	接收数据有效 (RXDV)： 在 MII 模式下，接收数据有效，该引脚只配置 RXDV 功能。 在 RMII 模式下，指示载波检测 (如果接收媒介不处于空闲状态，则输出高电平) /接收数据有效 (CRS_DV)。 MOD2: 结合 MOD1 和 MOD0 设置 PHY 默认操作模式。 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>MOD[2:0]</th> <th>功能描述</th> </tr> </thead> <tbody> <tr> <td>000</td> <td>II 模式。</td> </tr> <tr> <td>001</td> <td>RMII 主机。</td> </tr> <tr> <td>010</td> <td>保留。</td> </tr> <tr> <td>011</td> <td>RMII 从机。</td> </tr> <tr> <td>100</td> <td>RMII 从机, RMII 模式下 CRS_DV 仅输出 RX_DV。</td> </tr> <tr> <td>101</td> <td>RMII 主机, RMII 模式下 CRS_DV 仅输出 RX_DV。</td> </tr> <tr> <td>110</td> <td>保留。</td> </tr> <tr> <td>111</td> <td>保留。</td> </tr> </tbody> </table>	MOD[2:0]	功能描述	000	II 模式。	001	RMII 主机。	010	保留。	011	RMII 从机。	100	RMII 从机, RMII 模式下 CRS_DV 仅输出 RX_DV。	101	RMII 主机, RMII 模式下 CRS_DV 仅输出 RX_DV。	110	保留。	111	保留。
MOD[2:0]	功能描述																					
000	II 模式。																					
001	RMII 主机。																					
010	保留。																					
011	RMII 从机。																					
100	RMII 从机, RMII 模式下 CRS_DV 仅输出 RX_DV。																					
101	RMII 主机, RMII 模式下 CRS_DV 仅输出 RX_DV。																					
110	保留。																					
111	保留。																					
-	19	RXC	O, PD	输出接收时钟 (RXC)：																		

引脚号		引脚名称	类型	引脚说明										
182F8	182H8													
		/REFCLK		在 MII 模式下，该引脚提供用于 RXD[3:0] 和 RXDV 信号的连续工作时钟。RXC 在 100Mbps 和 10Mbps 模式下分别是 25MHz 和 2.5MHz。 50MHz 参考时钟 (REFCLK) : 在 RMII 模式下，该引脚用于输出 50MHz 参考时钟 REFCLK。										
-	20	RXER/ISO	LI, O, PD	接收错误指示 (RXER) 。 隔离模式 (ISO) : 上电锁存 RMII/MII 隔离模式， 默认内部下拉电阻置低电平 = 隔离模式关闭； 可选外部 4.7kΩ 上拉电阻置高电平 = 隔离模式开启。										
18	21	INTB	OD, PU	INTB: 中断输出，开漏输出。										
-	22	TXC	O, PD	MII 模式发送时钟 (TXC) : 在 MII 模式下，该引脚为 TXD[3:0] 和 TXEN 信号提供参考时钟。TXC 在 100Mbps 和 10Mbps 模式下分别是 25MHz 和 2.5MHz。										
19	23	TXEN	I	发送使能 (TXEN) 。										
20	24	TXD0	I	发送数据位 TXD[3:0] :										
21	25	TXD1	I	由 MAC 驱动，向 PHY 提供并行的发送数据。										
-	26	TXD2	I	当 TXEN 使能时：										
-	27	TXD3	I	MII 模式下，TXD[3:0] 数据有效； RMII 模式下，TXD[1:0] 数据有效。										
-	28	COL/MOD0	LI, O, PD	碰撞监测 (COL) : 当检测到碰撞时，COL 输出高电平。 MOD0: 结合 MOD2 和 MOD1 设置 PHY 默认操作模式。										
-	29	CRS/MOD1	LI, O, PD	载波感应 (CRS) : 该引脚输出高电平信号表明正在进行传输或者接收，输出低电平信号则表示正处于空闲状态。 MOD1: 结合 MOD2 和 MOD0 设置 PHY 默认操作模式。										
-	30	LED0 /PMEB /AUTONEG	LI, O/OD, PU	LED0: 传统 LED 功能选择，默认 LED_SEL 为 11: <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>LED_SEL</th> <th>00</th> <th>01</th> <th>10</th> <th>11</th> </tr> </thead> <tbody> <tr> <td>LED0</td> <td>ACT_{ALL}</td> <td>LINK_{ALL} /ACT_{ALL}</td> <td>LINK₁₀ /ACT_{ALL}</td> <td>LINK₁₀ /ACT₁₀</td> </tr> </tbody> </table> 电源管理事件 (PMEB) : WOL 电源管理事件输出，低电平有效。 如果接收到魔法包或唤醒帧，则输出低电平。 注：该引脚功能由页 1 寄存器 28 决定。 自动协商模式 (AUTONEG) : 上电锁存该管脚用于设置是否开启自动协商，高电平开启自	LED_SEL	00	01	10	11	LED0	ACT _{ALL}	LINK _{ALL} /ACT _{ALL}	LINK ₁₀ /ACT _{ALL}	LINK ₁₀ /ACT ₁₀
LED_SEL	00	01	10	11										
LED0	ACT _{ALL}	LINK _{ALL} /ACT _{ALL}	LINK ₁₀ /ACT _{ALL}	LINK ₁₀ /ACT ₁₀										

引脚号		引脚名称	类型	引脚说明										
182F8	182H8													
-	31	LED1 /PMEB /INTB /TXER /SPEED	LI, O/OD, PU	<p>动协商。</p> <p>LED1: 传统 LED 功能选择, 默认 LED_SEL 为 11:</p> <table border="1"> <thead> <tr> <th>LED_SEL</th> <th>00</th> <th>01</th> <th>10</th> <th>11</th> </tr> </thead> <tbody> <tr> <td>LED1</td> <td>LINK₁₀₀</td> <td>LINK₁₀₀</td> <td>LINK₁₀₀</td> <td>LINK₁₀₀ /ACT₁₀₀</td> </tr> </tbody> </table> <p>电源管理事件 (PMEB): WOL 电源管理事件输出, 低电平有效。 如果接收到魔法包或唤醒帧, 则输出低电平。</p> <p>INTB: 中断输出, 开漏输出。 注: 该引脚功能由页 1 寄存器 28 决定。</p> <p>发送错误指示 (TXER)。</p> <p>速度模式 (SPEED): 上电锁存自动协商或强制模式下的速度设置, 默认内部上拉电阻置高电平 = 100MHz; 可选外部接下拉电阻置低电平 = 10MHz。</p>	LED_SEL	00	01	10	11	LED1	LINK ₁₀₀	LINK ₁₀₀	LINK ₁₀₀	LINK ₁₀₀ /ACT ₁₀₀
LED_SEL	00	01	10	11										
LED1	LINK ₁₀₀	LINK ₁₀₀	LINK ₁₀₀	LINK ₁₀₀ /ACT ₁₀₀										
24	32	RSTB	I, PU	复位输入, 低电平有效。										
12	-	RXD1	O, PD	接收数据位[1] (RXD1)。										
13	-	RXD0 /CLKCTL	LI, O, PU	<p>接收数据位[0] (RXD0)。</p> <p>时钟方向选择 (CLKCTL): 在 RMI I 模式下, 上电期间根据该引脚的锁存值, 用于配置参考时钟的方向: 默认内部上拉电阻置高电平 = RXC/REFCLK 输出 50MHz 时钟; 可选外部接下拉电阻置低电平 = XI 输入 50MHz 时钟。</p>										
15	-	CRS_DV /PA10	LI, O, PD	<p>载波检测/接收数据有效 (CRS_DV): 如果接收媒介不处于空闲状态, 则输出高电平。</p> <p>PHY 地址位[1:0] (PA10): 默认由内部下拉电阻置低电平 = 00; 可选外部 4.7kΩ 上拉电阻置高电平 = 11。</p>										
16	-	REFCLK /PA2	LI, O, PD	<p>50MHz 参考时钟 (REFCLK): 该引脚用于输出 50MHz 参考时钟 REFCLK。</p> <p>PHY 地址位[2] (PA2): 上电锁存 PHY 地址[2]的值, 默认由内部下拉电阻置低电平 = 0; 可选外部 4.7kΩ 上拉电阻置高电平 = 1。</p>										

引脚号		引脚名称	类型	引脚说明										
182F8	182H8													
17	-	RXER	0, PD	接收错误指示 (RXER)。										
23	-	LED0/ PMEB/ AN_SPEED	LI, 0/OD , PU	<p>LED0: 传统 LED 功能选择, 默认 LED_SEL 为 11:</p> <table border="1"> <thead> <tr> <th>LED_SEL</th> <th>00</th> <th>01</th> <th>10</th> <th>11</th> </tr> </thead> <tbody> <tr> <td>LED0</td> <td>ACT_{ALL}</td> <td>LINK_{ALL} /ACT_{ALL}</td> <td>LINK₁₀ /ACT_{ALL}</td> <td>LINK₁₀₀ /ACT₁₀₀</td> </tr> </tbody> </table> <p>电源管理事件 (PMEB): WOL 电源管理事件输出, 低电平有效。 如果接收到魔法包或唤醒帧, 则输出低电平。</p> <p>AN_SPEED: 上电锁存自动协商和速度设置。 默认由内部上拉电阻置高电平 = 100MHz 且自动协商开启; 可选外部下拉电阻置低电平 = 10MHz 且自动协商关闭。</p>	LED_SEL	00	01	10	11	LED0	ACT _{ALL}	LINK _{ALL} /ACT _{ALL}	LINK ₁₀ /ACT _{ALL}	LINK ₁₀₀ /ACT ₁₀₀
LED_SEL	00	01	10	11										
LED0	ACT _{ALL}	LINK _{ALL} /ACT _{ALL}	LINK ₁₀ /ACT _{ALL}	LINK ₁₀₀ /ACT ₁₀₀										

注: 1 = 输入; 0 = 输出; I/O = 输入/输出; P = 电源;
OD = 开漏输出; PD = 上电复位内部拉低; PU = 上电复位内部拉高;
LI = 上电期间检测引脚状态并锁存输入用于功能配置; NC. = 保留引脚。

表 2-4 CH182H3 引脚定义

引脚号	引脚名称	类型	引脚说明
CH182H3			
0	GND	P	公共接地端。
1	NC.	NC.	保留引脚, 内部未连接。
2	VDDK	P	外接 1uF 对地电容贴近芯片放置。
3	AVDD33	P	3.3V 主电源输入, 建议 0.1uF 并联 10uF 对地电容贴近芯片放置, 或单个 1uF~4.7uF。
4	MDITP	I/O	10BASE-T/100BASE-TX MDI 模式下的差分输出;
5	MDITN	I/O	10BASE-T/100BASE-TX MDIX 模式下的差分输入。
6	MDIRP	I/O	10BASE-T/100BASE-TX MDI 模式下的差分输入;
7	MDIRN	I/O	10BASE-T/100BASE-TX MDIX 模式下的差分输出。
8	XO	I/O	晶振反相输出, 需外接 25MHz 晶体另一端。 或在 XI 接 GND 时, XO 用于输入外部 25MHz 或 50MHz 时钟。
9	XI/CLKIN	I	晶振输入, 需外接 25MHz 晶体一端, 可选外部 25MHz 或 50MHz 时钟输入。 RMII 从模式下, XI 输入 50MHz 时钟。
10	NC.	NC.	保留引脚, 内部未连接。
11	MDIO	IO, PU	SMI 管理接口的数据输入和输出 (MDIO)。 该引脚用于输入或输出管理信息的双向串行数据。
12	MDC	I, PU	SMI 管理接口的时钟输入 (MDC)。 该引脚输入与 MDIO 同步的串行时钟, 内置上拉电阻防止引脚浮空。

引脚号 CH182H3	引脚名称	类型	引脚说明
13	RXD3 /RMII_RXDV	LI, 0, PD	接收数据位[3] (RXD3)。 RMII 接口接收数据有效模式选择 (RMII_RXDV) : 该锁存值用于引脚 18 在 RMII 模式下的功能选择, 默认由内部下拉电阻置低电平 = CRS_DV; 可选外部 4.7KΩ 上拉电阻置高电平 = RXDV。
14	RXD2 /RMII	LI, 0, PD	接收数据位[2] (RXD2)。 RMII 接口模式选择 (RMII) : 默认由内部下拉电阻置低电平 = MII 接口模式 可选外部 4.7KΩ 上拉电阻置高电平 = RMII 接口模式
15	RXD1 /MX_DIS	LI, 0, PD	接收数据位[1] (RXD1)。 自动交叉模式关闭 (MX_DIS) : 上电锁存自动交叉功能是否开启, 默认由内部下拉电阻置低电平 = 开启; 可选外部 4.7KΩ 上拉电阻置高电平 = 关闭。
16	RXD0 /AN_DIS	LI, 0, PD	接收数据位[0] (RXD0)。 自动协商模式关闭 (AN_DIS) : 上电锁存自动协商功能是否开启, 默认由内部下拉电阻置低电平 = 开启; 可选外部 4.7KΩ 上拉电阻置高电平 = 关闭。
17	VDDIO	P	I/O 接口的电源输入, 外接 0.1uF 对地电容。
18	RXDV /CRS_DV /MDI	LI, 0, PD	接收数据有效 (RXDV/CRS_DV) : 在 MII 模式下, 接收数据有效, 该引脚只配置 RXDV 功能。 在 RMII 模式下, 受引脚 13 的锁存值控制, 该引脚可配置为 RXDV 或 CRS_DV 功能。 MDI : 上电锁存 MDI 模式, 默认由内部下拉电阻置低电平 = MDIX 接口模式; 可选外部 4.7KΩ 上拉电阻置高电平 = MDI 接口模式。 注: 只有当自动交叉模式 (MX_DIS) 关闭时, 才能通过配置选择 MDI 模式。
19	RXC /REFCLK	0, PD	输出接收时钟 (RXC) : MII 模式下, 该引脚提供用于 RXD[3:0]和 RXDV 信号的连续工作时钟。RXC 在 100Mbps 和 10Mbps 模式下分别是 25MHz 和 2.5MHz。 50MHz 参考时钟 (REFCLK) : RMII 模式下, 该引脚用于输出 50MHz 参考时钟。
20	RXER/ISO	LI, 0, PD	接收错误指示 (RXER)。 隔离模式 (ISO) : 上电锁存 RMII/MII 隔离模式,

引脚号	引脚名称	类型	引脚说明										
CH182H3			默认内部下拉电阻置低电平 = 隔离模式关闭； 可选外部 4.7KΩ 上拉电阻置高电平 = 隔离模式开启。										
21	PWRDN/INTB	I/OD , PU	电源关断 (PWRDN) : 默认为 POWER_DOWN 管脚。 INTB: 中断输出, 开漏输出。 <i>注: 该引脚功能由页 1 寄存器 28 决定。</i>										
22	TXC/CLKCTL	LI, O, PD	MII 模式发送时钟 (TXC) : 在 MII 模式下, 该引脚为 TXD[3:0] 和 TXEN 信号提供参考时钟。TXC 在 100Mbps 和 10Mbps 模式下分别是 25MHz 和 2.5MHz。 时钟方向选择 (CLKCTL) : 在 RMI I 模式下, 上电期间根据该引脚的锁存值, 用于配置参考时钟的方向: 默认内部下拉电阻置低电平 = RXC/REFCLK 输出 50MHz 时钟; 可选外部 4.7KΩ 上拉电阻 = XI 输入 50MHz 时钟。										
23	TXEN	I, PD	发送使能 (TXEN) 。										
24	TXD0	I, PD	发送数据位 TXD[3:0] :										
25	TXD1	I, PD	由 MAC 驱动, 向 PHY 提供并行的发送数据。										
26	TXD2	I, PD	当 TXEN 使能时:										
27	TXD3	I, PD	MII 模式下, TXD[3:0] 数据有效; RMI I 模式下, TXD[1:0] 数据有效。										
28	COL/PA2	LI, O, PD	碰撞监测 (COL) : 当检测到碰撞时, COL 输出高电平。 PHY 地址[2] (PA2) : 上电锁存 PHY 地址[2] 的值, 默认由内部下拉电阻置低电平 = 0; 可选外部 4.7KΩ 上拉电阻置高电平 = 1。										
29	CRS/PA1	LI, O, PD	CRS: 该引脚输出高电平信号表明正在进行传输或者接收, 输出低电平信号则表示正处于空闲状态。 PHY 地址[1] (PA1) : 上电锁存 PHY 地址[1] 的值, 默认由内部下拉电阻置低电平 = 0; 可选外部 4.7KΩ 上拉电阻置高电平 = 1。										
30	LEDO/PA0 /PMEB	LI, O, OD , PD	LEDO: 传统 LED 功能选择, 默认 LED_SEL 为 11: <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>LED_SEL</th> <th>00</th> <th>01</th> <th>10</th> <th>11</th> </tr> </thead> <tbody> <tr> <td>LEDO</td> <td>ACT_{ALL}</td> <td>LINK_{ALL} /ACT_{ALL}</td> <td>LINK₁₀ /ACT_{ALL}</td> <td>LINK₁₀ /ACT₁₀</td> </tr> </tbody> </table> PHY 地址[0] (PA0) : 上电锁存 PHY 地址[0] 的值, 默认由内部下拉电阻置低电平 = 0;	LED_SEL	00	01	10	11	LEDO	ACT _{ALL}	LINK _{ALL} /ACT _{ALL}	LINK ₁₀ /ACT _{ALL}	LINK ₁₀ /ACT ₁₀
LED_SEL	00	01	10	11									
LEDO	ACT _{ALL}	LINK _{ALL} /ACT _{ALL}	LINK ₁₀ /ACT _{ALL}	LINK ₁₀ /ACT ₁₀									

引脚号	引脚名称	类型	引脚说明										
CH182H3			<p>可选外部 4.7kΩ 上拉电阻置高电平 = 1。</p> <p>电源管理事件输出 (PMEB) : WOL 电源管理事件输出, 低电平有效。 如果接收到魔法包或唤醒帧, 则输出低电平。 注: 该引脚功能由页 1 寄存器 28 决定。</p>										
31	LED1/SPEED /PMEB/INTB /TXER	LI, I/O, OD, PU	<p>LED1: 传统 LED 功能选择, 默认 LED_SEL 为 11:</p> <table border="1"> <thead> <tr> <th>LED_SEL</th> <th>00</th> <th>01</th> <th>10</th> <th>11</th> </tr> </thead> <tbody> <tr> <td>LED1</td> <td>LINK₁₀₀</td> <td>LINK₁₀₀</td> <td>LINK₁₀₀</td> <td>LINK₁₀₀ /ACT₁₀₀</td> </tr> </tbody> </table> <p>速度模式 (SPEED) : 锁存上电 PHY 的工作速度模式。 默认由内部上拉电阻置高电平 = 100MHz; 可选外部接下拉电阻置低电平 = 10MHz。</p> <p>电源管理事件输出 (PMEB) : WOL 电源管理事件输出, 低电平有效。如果接收到魔法包或唤醒帧, 则输出低电平。</p> <p>INTB: 中断输出, 开漏输出。</p> <p>发送错误指示 (TXER) : 管脚为发送错误指示输入。 注: 该引脚功能由页 1 寄存器 28 决定。</p>	LED_SEL	00	01	10	11	LED1	LINK ₁₀₀	LINK ₁₀₀	LINK ₁₀₀	LINK ₁₀₀ /ACT ₁₀₀
LED_SEL	00	01	10	11									
LED1	LINK ₁₀₀	LINK ₁₀₀	LINK ₁₀₀	LINK ₁₀₀ /ACT ₁₀₀									
32	RSTB	I, PU	复位输入, 低电平有效。										

注: I = 输入; O = 输出; I/O = 输入/输出; P = 电源;
OD = 开漏输出; PD = 上电复位内部拉低; PU = 上电复位内部拉高;
LI = 上电期间检测引脚状态并锁存输入用于功能配置; NC. = 保留引脚。

表 2-5 CH182H6 引脚定义

引脚号	引脚名称	类型	引脚说明
CH182H6			
0	GND	P	公共接地端。
1	XI/CLKIN	I	晶振输入, 需外接 25MHz 晶体一端。可选外部 25MHz 或 50MHz 时钟输入。RMII 从模式下, XI 输入 50MHz 时钟。 注: 对于负载电容 12pF 的晶体, XI 对地振荡电容为 2pF, 对于负载电容 20pF 的晶体, XI 对地振荡电容建议 15pF。
2	XO	I/O	晶振反相输出, 需外接 25MHz 晶体另一端。 或在 XI 接 GND 时, XO 用于输入外部 25MHz 或 50MHz 时钟。 注: 对于负载电容 12pF 的晶体, XO 对地振荡电容为 2pF, 对于负载电容 20pF 的晶体, XO 对地振荡电容建议 15pF。
3	AVDD33	P	3.3V 主电源输入, 建议 0.1uF 并联 10uF 对地电容贴近芯片放置, 或单个 1uF~4.7uF。
4	MDITP	I/O	10BASE-T/100BASE-TX MDI 模式下的差分输出;

引脚号	引脚名称	类型	引脚说明																		
5	MDITN	I/O	10BASE-T/100BASE-TX MDIX 模式下的差分输入。																		
6	MDIRP	I/O	10BASE-T/100BASE-TX MDI 模式下的差分输入；																		
7	MDIRN	I/O	10BASE-T/100BASE-TX MDIX 模式下的差分输出。																		
8	AVDDK	P	外接 1uF 对地电容贴近芯片放置。																		
9	DVDDK	P	外接 0.1uF (0.1uF~1uF) 对地电容贴近芯片放置。																		
10	MDIO	IO, PU	SMI 管理接口的数据输入和输出 (MDIO)。 该引脚用于输入或输出管理信息的双向串行数据。																		
11	MDC	I, PU	SMI 管理接口的时钟输入 (MDC)。 该引脚输入与 MDIO 同步的串行时钟， 内置上拉电阻防止引脚浮空。																		
12	RXER	O, PD	接收错误指示 (RXER)。																		
13	RXDV/ CRS_DV/ MOD2	LI, O, PD	接收数据有效 (RXDV)： MII 模式下，接收数据有效，该引脚输出高电平；当接收完成时被拉低；在 RXC 的上升沿有效。 载波检测/接收数据有效 (CRS_DV)： RMII 模式下，如果接收媒介不处于空闲状态，则输出高电平。 MOD2：结合 MOD1 和 MOD0 设置 PHY 默认操作模式。 <table border="1" data-bbox="635 1025 1362 1462"> <thead> <tr> <th>MOD[2:0]</th> <th>功能说明</th> </tr> </thead> <tbody> <tr> <td>000</td> <td>MII 模式，自动交叉关闭。</td> </tr> <tr> <td>001</td> <td>RMII 主机，自动交叉关闭。</td> </tr> <tr> <td>010</td> <td>MII 模式，自动交叉开启。</td> </tr> <tr> <td>011</td> <td>RMII 从机，自动交叉开启。</td> </tr> <tr> <td>100</td> <td>RMII 从机，自动交叉开启，RMII 模式下 CRS_DV 仅输出 RX_DV。</td> </tr> <tr> <td>101</td> <td>RMII 主机，自动交叉开启，RMII 模式下 CRS_DV 仅输出 RX_DV。</td> </tr> <tr> <td>110</td> <td>保留。</td> </tr> <tr> <td>111</td> <td>RMII 主机，自动交叉开启。</td> </tr> </tbody> </table>	MOD[2:0]	功能说明	000	MII 模式，自动交叉关闭。	001	RMII 主机，自动交叉关闭。	010	MII 模式，自动交叉开启。	011	RMII 从机，自动交叉开启。	100	RMII 从机，自动交叉开启，RMII 模式下 CRS_DV 仅输出 RX_DV。	101	RMII 主机，自动交叉开启，RMII 模式下 CRS_DV 仅输出 RX_DV。	110	保留。	111	RMII 主机，自动交叉开启。
MOD[2:0]	功能说明																				
000	MII 模式，自动交叉关闭。																				
001	RMII 主机，自动交叉关闭。																				
010	MII 模式，自动交叉开启。																				
011	RMII 从机，自动交叉开启。																				
100	RMII 从机，自动交叉开启，RMII 模式下 CRS_DV 仅输出 RX_DV。																				
101	RMII 主机，自动交叉开启，RMII 模式下 CRS_DV 仅输出 RX_DV。																				
110	保留。																				
111	RMII 主机，自动交叉开启。																				
14	RXD3/PA0	LI, O, PU	接收数据位 [3] (RXD3)。 PHY 地址 [0] (PA0)： 上电锁存 PHY 地址 [0] 的值， 默认由内部上拉电阻置高电平 = 1； 可选外部接下拉电阻置低电平 = 0。																		
15	VDDIO	P	I/O 接口的电源输入，外接 0.1uF 对地电容。																		
16	RXD2/PA1	LI, O, PD	接收数据位 [2] (RXD2)。 PHY 地址 [1] (PA1)： 上电锁存 PHY 地址 [1] 的值， 默认由内部下拉电阻置低电平 = 0； 可选外部 4.7KΩ 上拉电阻置高电平 = 1。																		
17	RXD1/PA2	LI, O, PD	接收数据位 [1] (RXD1)。																		

引脚号	引脚名称	类型	引脚说明										
CH182H6													
			PHY 地址[2] (PA2) : 上电锁存 PHY 地址[2] 的值, 默认由内部下拉电阻置低电平 = 0; 可选外部 4.7kΩ 上拉电阻置高电平 = 1。										
18	RXD0/ AUTONEG	LI, 0, PU	接收数据位[0] (RXD0) 。 自动协商模式 (AUTONEG) : 上电锁存该管脚用于设置是否开启自动协商, 低电平开启自动协商。										
19	RXC/ REFCLK/ MOD0	0, PD	输出接收时钟 (RXC) : MII 模式下, 该引脚提供用于 RXD[3:0] 和 RXDV 信号的连续工作时钟。RXC 在 100Mbps 和 10Mbps 模式下分别是 25MHz 和 2.5MHz。 50MHz 参考时钟 (REFCLK) : RMII 模式下, 该引脚用于输出 50MHz 参考时钟。 MOD0: 结合 MOD2 和 MOD1 设置 PHY 默认操作模式。										
20	TXC	0, PD	MII 模式发送时钟 (TXC) : 在 MII 模式下, 该引脚为 TXD[3:0] 和 TXEN 信号提供参考时钟。TXC 在 100Mbps 和 10Mbps 模式下分别是 25MHz 和 2.5MHz。										
21	TXEN	I	发送使能 (TXEN) 。										
22	TXD0	I	发送数据位 TXD[3:0] :										
23	TXD1	I	由 MAC 驱动, 向 PHY 提供并行的发送数据。										
25	TXD2	I	当 TXEN 使能时:										
26	TXD3	I	MII 模式下, TXD[3:0] 数据有效; RMII 模式下, TXD[1:0] 数据有效。										
24	LED0/TXER	LI, I/O, OD, PU	LED0: 传统 LED 功能选择, 默认 LED_SEL 为 11: <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>LED_SEL</th> <th>00</th> <th>01</th> <th>10</th> <th>11</th> </tr> </thead> <tbody> <tr> <td>LED0</td> <td>ACT_{ALL}</td> <td>LINK_{ALL} /ACT_{ALL}</td> <td>LINK₁₀ /ACT_{ALL}</td> <td>LINK₁₀ /ACT₁₀</td> </tr> </tbody> </table> 发送错误指示 (TXER) : 管脚为发送错误指示输入。 注: 该引脚功能由页 1 寄存器 28 决定。	LED_SEL	00	01	10	11	LED0	ACT _{ALL}	LINK _{ALL} /ACT _{ALL}	LINK ₁₀ /ACT _{ALL}	LINK ₁₀ /ACT ₁₀
LED_SEL	00	01	10	11									
LED0	ACT _{ALL}	LINK _{ALL} /ACT _{ALL}	LINK ₁₀ /ACT _{ALL}	LINK ₁₀ /ACT ₁₀									
27	CRS/MOD1	LI, 0, PD	载波感应 (CRS) : 该引脚输出高电平信号表明正在进行传输或者接收, 输出低电平信号则表示正处于空闲状态。 MOD1: 结合 MOD2 和 MOD0 设置 PHY 默认操作模式。										
28	RSTB	I, PU	复位输入, 低电平有效。										
29	INTB	OD, PU	INTB: 中断输出, 开漏输出。										
30	DVDDK	P	外接 0.1uF (0.1uF~1uF) 对地电容贴近芯片放置。										
31	LED1/PMEB	LI, 0/OD, PU	LED1: 传统 LED 功能选择, 默认 LED_SEL 为 11: <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>LED_SEL</th> <th>00</th> <th>01</th> <th>10</th> <th>11</th> </tr> </thead> <tbody> <tr> <td>LED1</td> <td></td> <td></td> <td></td> <td></td> </tr> </tbody> </table>	LED_SEL	00	01	10	11	LED1				
LED_SEL	00	01	10	11									
LED1													

引脚号	引脚名称	类型	引脚说明					
CH182H6			<table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>LED1</td> <td>LINK₁₀₀</td> <td>LINK₁₀₀</td> <td>LINK₁₀₀</td> <td>LINK₁₀₀ /ACT₁₀₀</td> </tr> </table> <p>电源管理事件 (PMEB) : WOL 电源管理事件输出, 低电平有效。 如果接收到魔法包或唤醒帧, 则输出低电平。 注: 该引脚功能由页 1 寄存器 28 决定。</p>	LED1	LINK ₁₀₀	LINK ₁₀₀	LINK ₁₀₀	LINK ₁₀₀ /ACT ₁₀₀
LED1	LINK ₁₀₀	LINK ₁₀₀	LINK ₁₀₀	LINK ₁₀₀ /ACT ₁₀₀				
32	NC.	NC.	保留引脚, 内部未连接。					

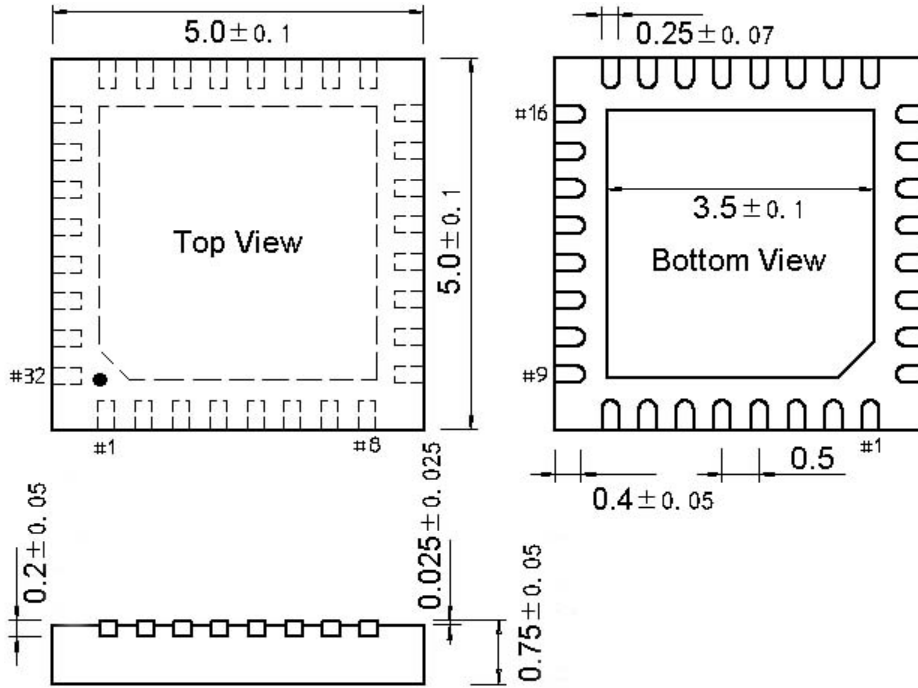
注: 1 = 输入; 0 = 输出; I/O = 输入/输出; P = 电源;
OD = 开漏输出; PD = 上电复位内部拉低; PU = 上电复位内部拉高;
LI = 上电期间检测引脚状态并锁存输入用于功能配置; NC. = 保留引脚。

3、封装信息

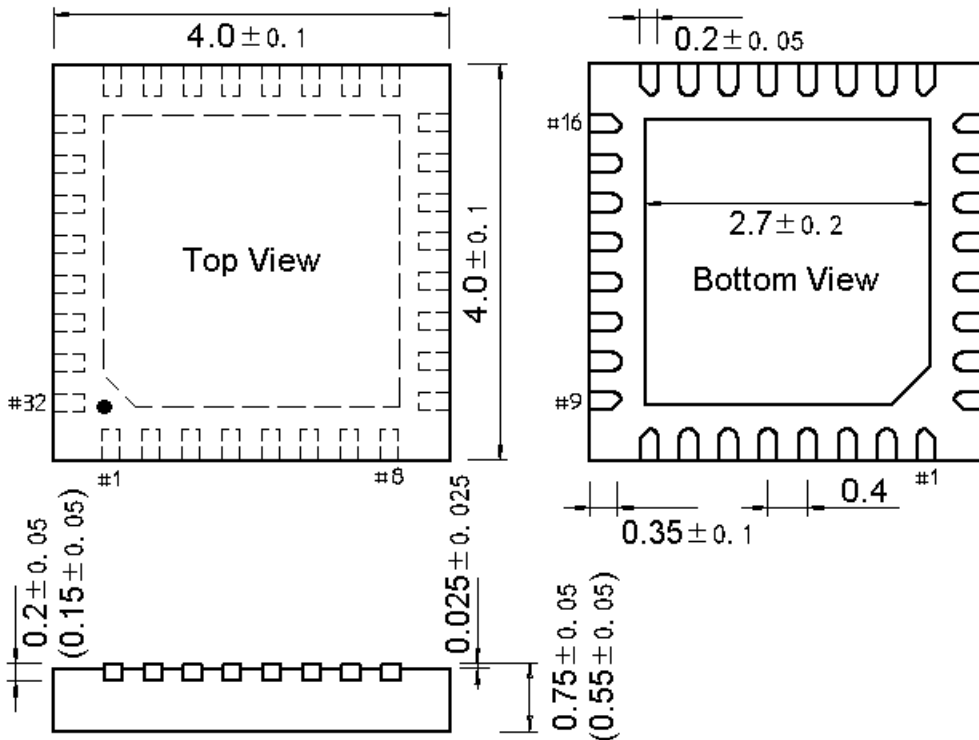
说明：尺寸标注的单位是 mm（毫米）。

引脚中心间距是标称值，没有误差，除此之外的尺寸误差不大于±0.2mm。

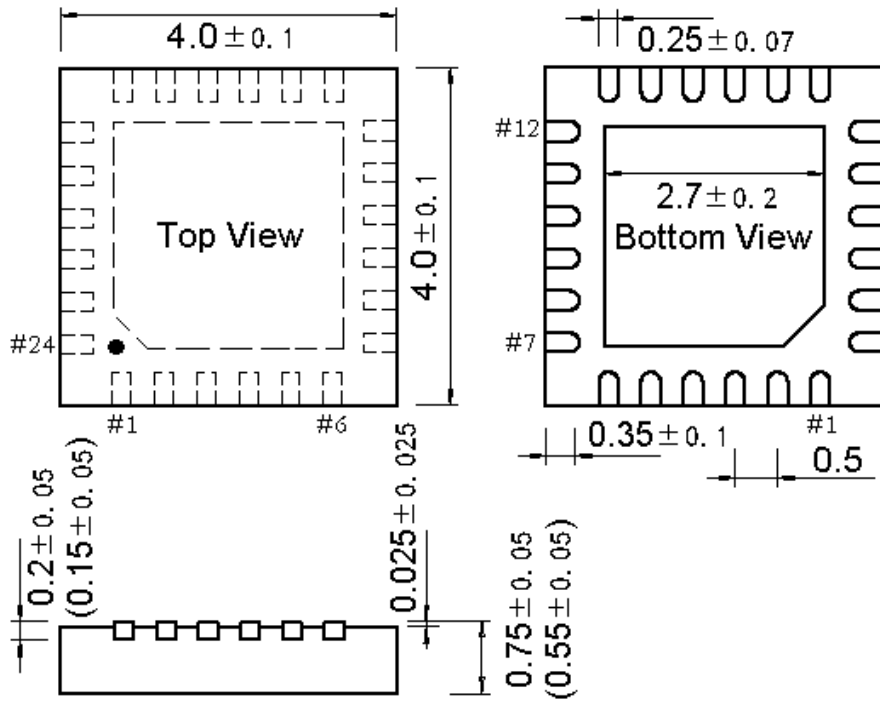
3.1 QFN32X5 封装



3.2 QFN32 封装



3.3 QFN24 封装



3.4 QFN20 封装

